FPGA 実装した STP 回路の簡易消費電力見積り法の検討

1240300　岡村　健勝　【 コンピュータ構成学研究室 】

1　はじめに

近年，IoT(Internet of Things) デバイスは医療や自動車など様々な分野で活用されており，高性能かつ低消費電力で動作することに加え，設計柔軟性を有することが求められる．この要件を満たすために，多重並列処理が可能な非同期回路であるデータ駆動型プロセッサ DDP(Data Driven Processor) を FPGA(Field Programmable Gate Array) に実装する研究が行われている．DDP の評価指標の一つに性能当たりの消費電力（電力効率）がある [1].

精密な消費電力の実測には，測定を容易にするための特殊な開発用ボードの作製や，高価なオシロスコープが一般的に必要になる．そこで本研究では，最終製品に近い IoT デバイスを対象にして，簡易的に DDP の消費電力を測定あるいは見積もる方法について検討した．

2　DDP の電力消費特性

DDP は，大域的クロックを用いないセルフタイム回路による環状パイプライン構造を有している．しかし，商用の FPGA 用 EDA ツールの電力見積機能は，数百 MHz 程度のクロック同期回路を前提としているため，回路シミュレーション精度の上限が psec. であること，および，電源供給ラインの IR ドロップが過大に見積もられている可能性がある．よって，セルフタイム回路の消費電力見積に用いることが困難であり, 消費電力を実測することが望ましい．

本研究では，最終製品レベルの FPGA ボード上に実装した DDP の消費電力を簡易的に実測するために，比較的安価な Route-R 社の USB 電流電圧チェッカー (RT-USBVAC8QC) を活用する方法を検討した．具体的には，図 1 に示す簡単なセルフタイム型パイプライン回路（1 段，2 段，25 段，75 段）をテスト回路として作製し，その実測値から，消費電力見積モデル式を定式化して比較検討した．

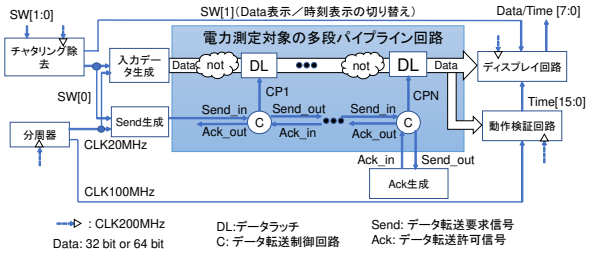

図 1　電力測定テスト用セルフタイム型パイプライン回路

3　消費電力推定モデル

FPGA に実装されたパイプライン回路の動的な消費電力 P_{FPGA} は，各ステージの DL サイズ W の総和に対してトランジスタの平均スイッチング確率 α と動作周波数 R を乗じた積に比例する．もし，各ステージが均質な場合，単純にパイプライン段数 N との積で見積もれる．よってモデル式 (1) を仮定できる．

$$P_{FPGA} = \alpha \times NWR + P_{constant} \tag{1}$$

4　評価・考察

AMD 社 Zynq7010 に実装したテスト用 STP 回路の実測値を従属変数とし，モデル式の α および P_constant を最小二乗法により求め，DDP の消費電力を推定した．推定結果と，DDP の電力実測値，ならびに，AMD 社 EDA ツール Vivado の電力見積値との比較を表 1 に示す．ただし，XOR 命令が 1 個または 2 個のプログラムを，入力レートを 10MHz と 20MHz で，DDP 上で実行した電力を比較した．

表 1 の結果から，Vivado が全般的に実測値に最も近い値を推定している．特にプログラム間の消費電力差に着目すると，Vivado による見積りが良好である. 提案推定モデルは P_{FPGA} がどの条件でも 1mW 前後であった. これは，DDP の各ステージのロジックや α を個別に考慮できていないためと考えられる. 今後，各ステージの消費電力に着目して推定モデル式を精錬化すると同時に，USB 電流電圧チェッカーの実測値を適切に補正する方法の検討が残されている．

表 1　電力推定結果と実測値・EDA ツールの見積りの比較

プログラム		2XOR	1XOR	
入力レート	[MHz]	10		20
DDP の消費電力	[mW]	5	8	11
提案見積りモデル	[mW]	7.752	7.807	8.196
Vivado	[mW]	5	8	6

参考文献

[1] 松坂拓海，“データ駆動型プロセッサの FPGA 向け電力効率向上手法の検討”，高知工科大学学士学位論文，2022.