

データ駆動型プロセッサ用セルフタイムパケットバッファ回路

1240379 山下 拓巳 【コンピュータ構成学研究室】

1 はじめに

近年, IoT(Internet of Things) デバイス上で動作するアプリケーションの高度化やデバイス数増加などの要因から, IoT デバイスに適したプロセッサの要件として高性能かつ低消費電力であることが求められている. この条件を満たす技術として, データ駆動型プロセッサ(DDP:Data-Driven Processor) が注目されている.DDP はその動作原理からデータ依存のない処理は並列に実行可能であるという利点がある一方, 同時に巡回するパケット数の変動により, 処理性能が左右され, 最悪の場合, 処理が停止してしまうといった課題を抱えている.

そこで本研究では, パイプライン内を巡回するパケット数の変動を吸収可能なキューバッファ機構を実現する回路(以下 QB)を設計し, DDP に適用することで処理性能の向上につながることを明らかにした.

2 QB の構成

本研究で設計した QB の構成を図 1 に示す. QB は, キューにおけるデータを格納するメモリである 2-Port RAM, キューの Head と Tail の値を管理するポインタ(WRptr, REptr), Head と Tail の値を基にキューの状態を表す信号を生成する FLG_Gen, Full と Empty の値を基に入出力の制御を行う C_FIFO から構成される.

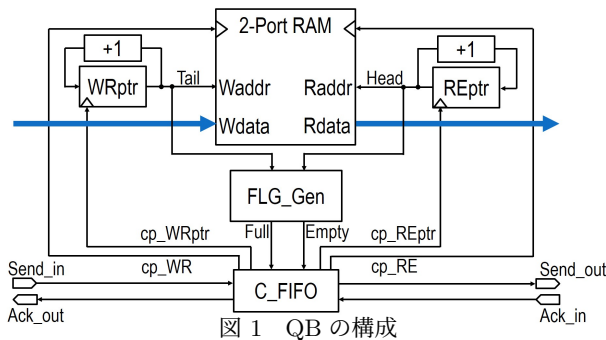


図 1 QB の構成

QB は他のステージにおける制御と異なり, キューの状態を基に制御を行うこと, 書き込みと読み出しの処理が独立して行われること, そして RAM へのアクセスとポインタの更新が重複しない形で行われることが求められる. そのため既存の C 素子を書き込み用と読み出し用として 2 つ組み合わせた形で利用し, より効率的に制御できるよう新たに C_FIFO を設計した. C_FIFO をゲートレベルで表した回路図を図 2 に示す. この回路では, 使用する論理ゲートや遅延のための LUT の数を可能な限り削減することを目指し, キューの Full, Empty 時にはフラグ解除より先に動作を開始できるように工夫することで高速な動作を実現した.

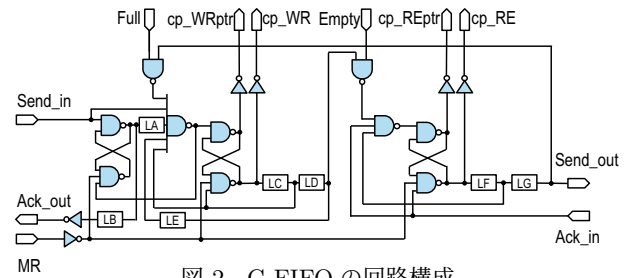


図 2 C_FIFO の回路構成

3 評価

本研究における評価では, 既存の DDP に対してパケット転送の輻輳が生じやすい箇所に QB を適用した場合と適用しない場合についてそれぞれ AMD 社の ZYNQ-7010 上に実装し, シミュレーションを行い, プログラム全体の処理時間に着目して比較評価を行った. 輻輳が生じやすい箇所として先行研究では, 外部から入力されたパケットとパイプラインを巡回するパケットの衝突時やパケットの複製時に発生するパケットの停滞が後続のパケットに伝搬することからパケット流量におけるボトルネックになるとされていた [1]. そこで QB を入力パケットと巡回パケットが合流するステージの前に QB1, パケットの複製を行うステージの前に QB2 として適用した. また, 評価プログラムについてはそれぞれのボトルネックによる影響が大きいものを実行した. ここでは外部からの入力パケットが多い場合を P1, パケット複製が多い場合を P2, 共に多い場合を P3 として実行した際の結果を表 1 に示す.

表 1 各 DDP 構成における処理時間 [us]

	QB なし	QB1	QB2	QB1&QB2
P1	実行不可	31.80	33.79	31.95
P2	実行不可	3.146	3.009	3.073
P3	実行不可	8.830	8.269	8.074

QB を適用していない DDP では実行の途中で巡回するパケットの数が限界に達し, 実行を完了することができなかったのに対し, QB を適用した場合にはいずれも実行可能であることを確認した. またボトルネックが発生する箇所に QB を適用した場合にはそうでない場合と比較して処理時間が短縮され, 2 箇所に適用した場合にはどちらの場合にも効果があることを確認した.

参考文献

- [1] 上方 他: "分散キューバッファを持つデータ駆動型プロセッサ Qv-x の性能評価," 電気学会論文誌 C, Vol.116-C, No.11, pp.1295-1300, Nov.1996.