

プロセスばらつきを考慮したキャリブレーション回路搭載 バンドギャップリファレンスの設計アプローチ

A Design Approach for Bandgap Reference with Calibration Circuit to Process Variation

1265048 林 竜史 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

CMOS(Complementary Metal-Oxide-Semiconductor)の製造技術向上による微細化が進む一方で、特にアナログ回路などにおいては微細化に伴い、プロセスばらつきによる出力の誤差・バラツキが課題となっている。出力電圧のバラツキ対策として主にトリミング技法が用いられるが、アプリケーションにおける総コストの多くを占める。本研究ではアナログ回路やミックスドシグナル回路で非常に重要な要素であるBGR(Band-Gap Reference)回路[1]を対象とし、低コストでバラツキを抑制可能な回路設計を目的とする。本研究で使用した製造プロセスはRohm0.18 μm である。

2. 提案する BGR 回路

BGR 回路とは温度や電源電圧に依存せず常に一定の出力を提供する回路である。本研究では電圧を出力する BG(VR)回路を対象とした。1次温度補償 BGR 回路の回路図を示す[2]。図1の BGR 回路における出力電圧 V_{REF} はオフセット電圧を考慮し、次の式で書ける。

$$V_{REF} = \frac{R_3}{R_2} \left(\frac{R_2}{R_1} \left(V_T \ln K + \frac{R_2}{R_{2B}} V_{OS} \right) + V_{EB1} \right) \quad (1)$$

本研究ではダイオードの並列数 $K=10$ であり、 V_T は熱電圧、 V_{OS} はオフセット電圧、 V_{EB1} はダイオード単体の電圧である。

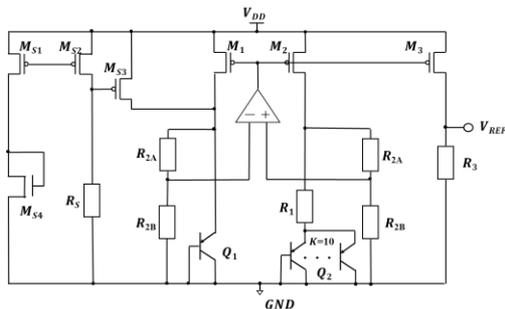


図1 1次温度補償 BGR 回路の回路図[2]

次にバラツキを考慮した設計としてキャリブレーション回路を搭載した BGR 回路を提案する。回路図を図2に示す。本研究ではスイッチ数2とスイッチ数4のキャリブレーション回路を搭載した。図2に示したキャリブレーション回路搭載 BGR 回路はスイッチ数2の回路である。

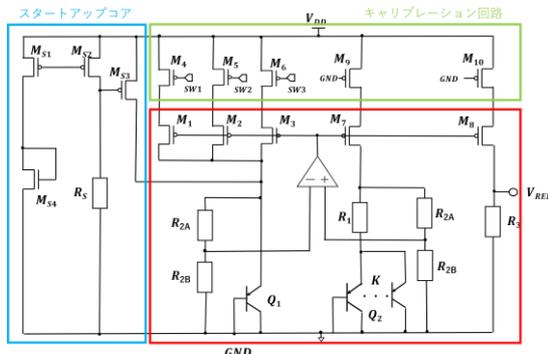


図2 キャリブレーション回路搭載 BGR 回路

図3では M_4 のゲート端子は GND に接続し、 M_5M_6 をスイッチとし BGR コアに流れる電流を調整する役割を持つ。キャリブレーション回路を構成する PMOS の W/L 比は十分大きくした。これにより、BGR コアにかかる電圧 $V_{M1}-V_{M3}$ 、 V_{M7} 、 V_{M8} は V_{DD} とほぼ等しいと見なすことができる。よって電源

電圧 V_{DD} が適切に供給され BGR コアが正常に機能する。

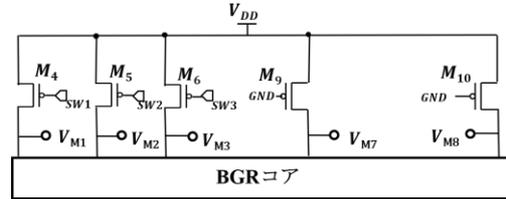


図3 キャリブレーション回路の回路構成

3. シミュレーションおよび実測結果

スイッチ数4のキャリブレーション回路搭載 BGR 回路の電源電圧特性の結果を図4および図5に示す。シミュレーション結果からキャリブレーション回路により、出力電圧を調整可能となる。実測結果ではばらつきが最大で $\pm 4\%$ に抑制された。バラツキに関しては先行研究[2]では20%だったため、[2]と比較して改善されたといえる。

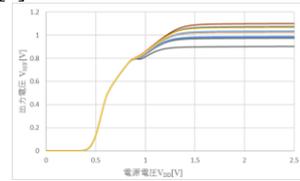


図4 Simulation 結果

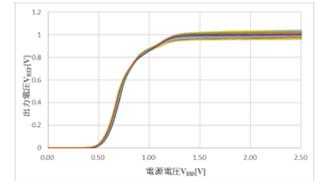


図5 実測結果

表1に実測結果のまとめを示す。 V_{REF} の変動係数(σ/μ)は2.09%となり、回路面積は補正数4の場合でも0.065 mm^2 で、1次温度補償 BGR 回路と回路面積は同じだった。

表1 試作キャリブレーション回路搭載 BGR の実測結果

パラメータ	2chCALBGR1	2chCALBGR2	4chCALBGR
製造プロセス(nm)	180	180	180
V_{DD} (V)	1.6-2.5	1.6-2.5	1.6-2.5
$V_{REF,\sigma}$ (@ $V_{DD}=1.8$ V)(V)	1.002	1.000	0.998
温度範囲($^{\circ}\text{C}$)	0~100	0~100	0~100
TC(ppm/ $^{\circ}\text{C}$)		356.59(max)	330.94(max)
		17.71(min)	33.09(min)
		157.35(Avg)	132.24(Avg)
$V_{REF,\sigma}$	0.0413	0.0210	0.0209
$V_{REF,\sigma}/\mu$ (%)	4.12	2.10	2.09
LR(V/V)(%)	0.13-2.32	0.14-1.83	0.07-2.66
回路面積(mm^2)	0.065	0.065	0.065
サンプル数	17	20	20

4. まとめ

本研究ではアナログ回路などの分野で課題であるバラツキを低コストかつシンプルな回路構造で抑制可能な回路の設計を行った。キャリブレーション回路搭載 BGR を設計することで、 V_{REF} を調整しバラツキ抑制を試みた。結果として V_{REF} のバラツキは $\pm 4\%$ 以内に抑制し、変動係数(σ/μ)は2.09%とバラツキに対するキャリブレーション回路の有効性を示すことが出来た。

参考文献

- [1] C. J. B. Fayomi, G.I. Wirth, H. F. Achigui, A. Matsuzawa, "Sub 1 V CMOS bandgap reference design techniques: a survey" Analog Integrated Circuits and Signal Processing, Vol.62, pp.141-157, Aug.2009.
- [2] 増田梓月 "バンドギャップ基準電圧回路のための素子バラツキの抑制を目的とした設計手法," 高知工科大学工学研究科基盤工学専攻電子・光工学コース,修士論文,2022