

CMOS オペアンプの設計と入力段の改良

CMOS Operational Amplifier design and improvement of the input stage

1250094 高木 康陽 (回路工学研究室)

(指導教員 橘 昌良 教授)

1. はじめに

オペアンプはもともとアナログ計算機の一部として開発されたが、現在では多くの電子機器に組み込まれている。初期のオペアンプは真空管を使用していたが、現在では半導体技術の進歩により、集積回路として広く利用されている。オペアンプは、差動入力を持ち、増幅、フィルタリング、信号処理など多様な用途に使用される。先行研究ではオペアンプを使用した回路の設計、評価を行ってきた。本研究ではオペアンプ単体の設計、評価を行い、より優れたオペアンプの設計を目指す。

2. オペアンプとは

オペアンプ(Operation Amplifier : 演算増幅器)とは回路記号図 2.1 のように表わされる非反転入力端子と反転入力端子間の差分を増幅し出力する回路である。基本的なオペアンプは作動増幅回路とソース設置回路を組み合わせた 2 段構成オペアンプである。また、入力段の改良を施すことで、電圧利得の増幅、ノイズの低減等が可能になる。

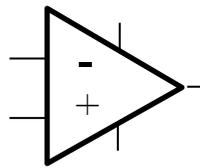


図 2.1 オペアンプの回路記号

3. オペアンプの設計

オペアンプの回路設計は IC.ver 6.14 で回路の設計を Rohm0.18 μm テクノロジーで行い、HSPICE でシミュレーションを行い、Cosmos Scope で観測し、Calibre で LVS/DRC 検証を行った。

2 段構成オペアンプの入力 n チャンネル MOSFET を出力段から分離した回路、カスコード増幅回路、折り返しカスコード回路、テレスコピック回路を作成し、それぞれ図 3.1~3.4 に示す。

4. シミュレーション結果

本研究で作成した 4 つの回路の電圧利得、位相余裕、ユニティゲイン周波数を図 4.1~4.8 に示す。

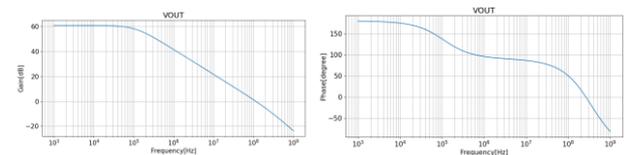


図 4.1,4.2 図 3.1 のシミュレーション結果

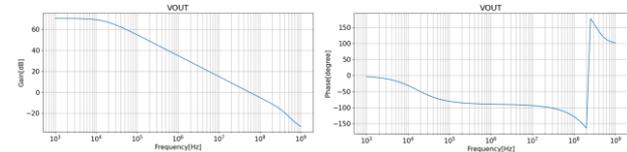


図 4.3,4.4 図 3.2 のシミュレーション結果

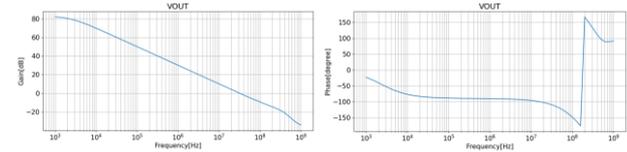


図 4.5,4.6 図 3.3 のシミュレーション結果

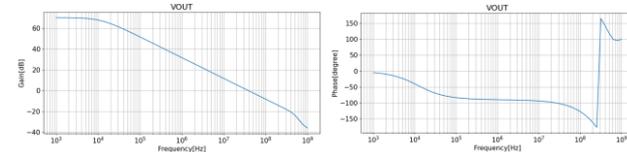


図 4.7,4.8 図 3.4 のシミュレーション結果

シミュレーション結果より得られた電圧利得、位相余裕、ユニティゲイン周波数を表 4.1 に示す。

表 4.1 電圧利得、位相余裕、ユニティゲイン周波数

	電圧利得[dB]	位相余裕[°]	ユニティゲイン周波数(MHz)
入力nチャンネルMOSFETを出力段から分離した回路	60	45	115
カスコード増幅回路	70	70	54
折り返しカスコード増幅回路	82	70	31
テレスコピック回路	70	75	39

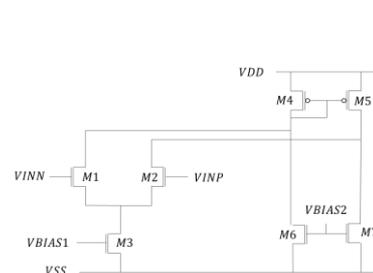


図 3.1 n チャンネル MOSFET を分離した回路

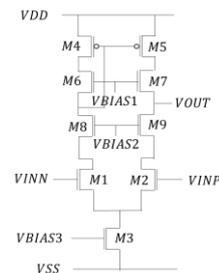


図 3.2 カスコード回路

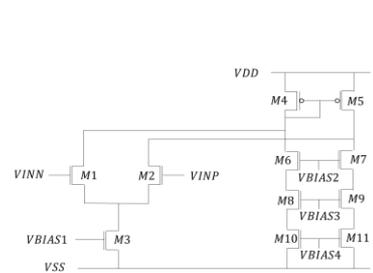


図 3.3 折り返しカスコード差動増幅回路

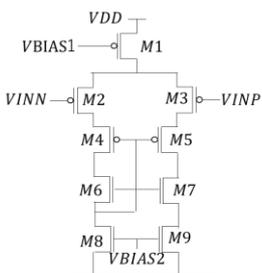


図 3.4 テレスコピック回路

5. 考察・まとめ

先行研究として基本的な 2 段オペアンプの設計を行っており、届いたチップの実測を行ったがうまく計測することができなかった。その理由として製作の際の不備、回路作成の際の不備、測定用治具を作成する際の不備など複数の問題点が考えられた。

基本的な 2 段構成オペアンプと 2 段構成オペアンプの入力段を改良した回路をいくつか作成した。一つの回路を除いて理想的なオペアンプの電圧利得等を確認することができた。レギュレーテッドカスコード回路のみ波形を確認することができなかったが、回路が複雑になっているためそれぞれのトランジスタの各端子のパラメータをさらに細かく調整する必要があると考える。

参考文献

[1]吉澤浩和 著、「CMOS OP アンプ回路 実務設計の基礎」、CQ 出版社、2007
 [2]岡村 勉夫 著、「OP アンプ回路の設計」、CQ 出版社、1990
 [3]谷口研二著、「CMOS アナログ回路入門」 CQ 出版社、2005