

Spiking Neural Network 用 NoC ルータ回路の比較検討

1250297 奥平 舜理 【コンピュータ構成学研究室】

1 はじめに

SNN(Spiking Neural Network) は、生物の神経細胞の膜電位に基づくスパイク動作を模倣するモデルであるため、一般的な ANN で用いられる発火頻度モデルに比べて、神経回路網の動作を精密に再現できると考えられている。この SNN を複数のプロセッシング・コアをネットワーク接続する NoC(Network-on-Chip) 上で実現する方法が各所で検討されている [1]。

本研究では再構成可能な SNN ハードウェア RANC[1] 内の NoC ルータ回路の回路規模に着目し、よりコンパクトなルータ回路を提案し、両者の回路規模および性能について評価した。

2 RANC のルータ構成

RANC ではメッシュ型 NoC が採用され、各ルータはコア内に内蔵されており、東西南北の隣接コアあるいはローカルコアへのパケット転送を行う。スパイクの有無を示す情報はその宛先と共にパケット化され、ルータを通して適切なコアにルーティングされ、複数のニューロンの動作がコア内で計算される。図 1 は、このルータ回路を示しており、東西南北へそれぞれ転送する Forward モジュール、ローカルコアからのパケット受信モジュール FL、およびローカルコアへの送信モジュール TL から構成される。

このルータの Forward East Module(FE) 回路を図 2(a) に示す。この回路では PathDecoder(PD) 内でパケットの方角を計算後、各方角用バッファへ書き込む。ここで、バッファが各方角用に 1 つずつ配置されているためルータ全体のリソース量が冗長になる可能性がある。他の Forward Module 回路と FL 回路も同様である。

3 提案 NoC ルータ回路

RANC で各方角ごとに配置されていたバッファを一つに統合することで、ルータ全体の回路規模削減を図る。図 2(b) に提案 NoC ルータ回路内の FE を示す。こ

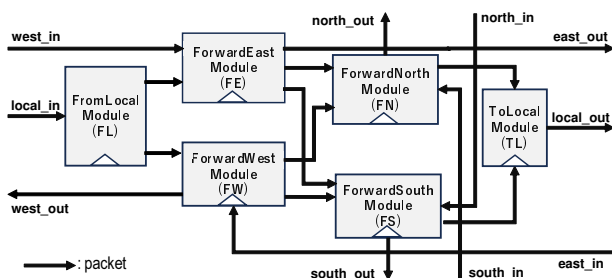


図 1 RANC の NoC ルータ回路の概要

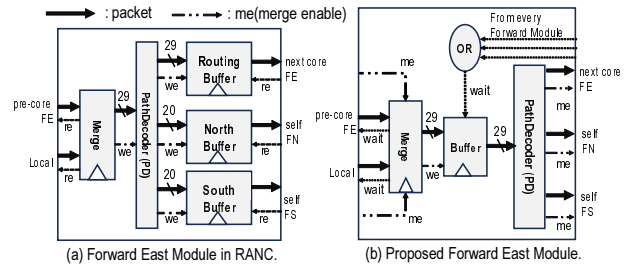


図 2 RANC の Forward East 回路と提案回路

の回路では、バッファの出力に PD を配置し、PD から有効パケットであることを示す me(merge enable) 信号を次の Forward モジュールの Merge へ出力することで、パケットを適切に転送する。また、me 信号の競合が起きた場合、wait 信号を優先度が低い送信元へ出力することで前のコアの FE または FL のバッファから後続パケットが読み出されないように制御し、パケットが消失されることを防ぐ。他の Forward Module 回路と FL 回路も同様に、バッファを統合し、me 信号と wait 信号によりパケット消失を防ぐ構成とした。

4 回路設計と評価

提案 NoC ルータの回路設計に際しては、RANC の公開ソース [2] を改良して、Verilog-HDL で記述した。RANC の NoC ルータとの比較評価においては、NoC 内のコア数 8×4 とし、各コアにニューロン数 128/コア、軸索数 128/コアを割り当て、RTL シミュレーションにて MNIST 画像認識の実行時間をクロック周波数 50MHz として計測した。さらに、Vivado 上にて論理合成を行うことで回路規模を比較した。その結果を表 1 に示す。バッファ数を減らしたことで、LUT は約 27 %、FF は約 31 %削減できた。バッファへの読み書きタイミングや Merge の出力タイミングなどは RANC と同じクロックタイミングで動作するように設計したため、実行時間には差異がないことも確認した。

参考文献

- [1] J. Mack, et al., “RANC: Reconfigurable architecture for neuromorphic computing,” IEEE Trans. CAD IC Syst., Vol. 40, No. 11, Nov. 2021.
- [2] <https://github.com/UA-RCL/RANC>

表 1 32 コア構成の SNN ハードウェアの比較

回路	LUT	FF	実行時間 [μs]
RANC ルータ	80,568	60,838	8,694
提案ルータ	59,072	41,896	8,694