

# 修士論文

BGR 回路の検討 -温度特性を念頭に置いた回路設計-

Design of Low Temperature Coefficient Band-Gap

Voltage Reference

---

報告者

学籍番号: 1275053

氏名: 永田 士竜

---

指導教員

橘 昌良

---

令和7年2月18日

高知工科大学大学院工学研究科

基盤工学専攻 電子・光工学コース

# 目次

第1章 序論 .....	1
1.1 研究背景 .....	1
1.2 研究目的.....	1
1.3 本論文の構成.....	2
第2章 バンドギャップ基準電圧回路.....	3
2.1 BGR 回路.....	3
2.1.1 BGR 回路の電圧生成 .....	3
2.1.2 BGR 回路の動作原理 .....	5
2.1.3 BGR 回路の温度依存性 .....	7
2.2 スタートアップ回路.....	8
第3章 本研究で試作した BGR 回路 .....	9
3.1 回路設計環境 .....	9
3.2 試作 BGR 回路コア .....	10
3.2.1 ダイオード.....	11
3.2.2 オペアンプ.....	13
3.2.3 オフセット電圧.....	14
3.3 試作 BGR 回路 .....	16
3.3.1 第1回試作 BGR 回路 .....	16
3.3.2 第2回試作 BGR 回路 .....	18
3.3.3 第3回試作 BGR 回路 .....	19
第4章 シミュレーション及び実測結果.....	22
4.1 実測環境 .....	22
4.2 試作回路の結果.....	23
4.2.1 第1回試作 BGR 回路の測定結果.....	23
4.2.2 第2回試作 BGR 回路の測定結果.....	24
4.2.3 第3回試作 BGR 回路の測定結果.....	25
4.2.4 各試作 BGR 回路の TC 値の測定結果 .....	25
第5章 考察 .....	27
5.1 温度特性・TC のバラツキに関する考察.....	27
5.2 2 コア BGR 回路に関する考察 .....	28
第6章 結論・まとめ.....	29
謝辞 .....	30
参考文献 .....	31

# 第 1 章 序論

## 1.1 研究背景

現代において社会の基盤技術となっている半導体は自動車や医療機器といったあらゆる先進的な製品に必要不可欠となっている。中でも大規模集積回路 (LSI: Large Scale Integration) の製造においては、微細化技術の向上に伴う LSI や IC (Integration Circuit) の小型化、高集積化が進んだ[1]-[3]。しかし、設計通りに回路が動作しないという製造時の素子バラツキによる出力電圧の誤差がアナログ回路の設計において大きな課題になっている。また、多くの電子機器の制御がデジタル回路による処理に移り変わる中、CMOS (Complementary Metal Oxide Semiconductor) LSI の製造コストの低廉化やアナログ回路にしか実現できない機能が存在することも相まって、アナログ回路とデジタル回路を 1 チップ上に組み込んだ CMOS アナログ・デジタル混載 (ミックスド・シグナル) 集積回路の生産が盛んに行われるようになった[4]-[7]。このように現在においても電子機器の設計においてアナログ回路の改善は重要である。そして、代表的なアナログ回路としてよく用いられるものが基準電圧回路である。

基準電圧回路とは、電源電圧や温度に依存せず一定の電圧を出力する回路のことである。この回路は電源 IC や A/D コンバータ、リニアレギュレータ等によく使用され、これらの回路は電子機器において基準となる動作をさせるために組み込まれている。そのため機器が安定した動作をするためには使用される環境や条件によらず、一定の値を保持し続けるという高い精度が求められる[8]-[9]。本研究では基準電圧回路の一種である BGR (Band Gap Reference) 回路を研究対象として研究を行った。先行研究[10]において BGR 回路においても素子バラツキの影響が大きいことが報告されており、先行研究[11]では素子バラツキに影響の大きい素子として挙げられていたオペアンプに着目し、オペアンプの入力オフセット電圧を制御するために回路内の素子構成を見直し、素子バラツキの影響が小さい回路の検討を行った。

## 1.2 研究目的

本研究では先行研究[11]で試作した回路の結果から BGR 回路の特性の一種である温度特性に着目し、温度依存性の低い回路の設計を目的とした。先行研究[10]-[17]では素子バラツキの影響の小さい、すなわち出力電圧のバラツキの小さい回路の設計を目的として、一般的な構成の BGR 回路を基に各素子や回路構成に着目し、それぞれ変更点を加えた回路を設計し、評価を行ってきた。中でも素子バラツキを考慮した設計を行った[11]において、測定結果として出力電圧のバラツキについての改善が確認できたのに対し、本来の BGR 回路の特性である温度依存性の低さに関しては指標数値を満たせていなかった。そのため、本研究で

は温度特性の向上すなわち温度依存性の低い BGR 回路の設計を目指し、素子パラメータの変更や新たな回路の設計と特性評価を行った。また、先行研究に引き続き出力電圧のバラツキについての検討も行う。本研究で使用した Chip の製造プロセスは Rohm 0.18 $\mu\text{m}$  である。

### 1.3 本論文の構成

本論文は研究対象である BGR 回路の基本構成や動作原理に加え、本研究で着目した温度特性の改善のために試作した提案回路の検討とその結果について述べ、全 6 章で構成されている。本章では研究の背景と目的について述べた。2 章では BGR 回路の基本構成や動作原理、特性について述べる。3 章では本研究で提案した BGR 回路の設計や各素子パラメータ設定について述べる。4 章では試作した回路のシミュレーションと実測結果について述べる。5 章では結果に基づく考察について述べる。6 章では本論文の結論について述べる。

## 第2章 バンドギャップ基準電圧回路

### 2.1 BGR 回路

BGR 回路とは、基準電圧回路の一種である。得られる参照電圧がシリコンのバンドギャップ・エネルギーとほぼ等しいことからバンドギャップ基準電圧回路とも呼ばれている。周辺環境の温度変化や電源電圧、製造上のプロセス過程に依存せず、安定して一定の出力電圧の生成が可能な回路であり、集積回路においてよく用いられる代表的な回路である[5][9]。

#### 2.1.1 BGR 回路の電圧生成

BGR 回路の温度に依存しない電圧の生成は、正の温度特性を持つ電圧と負の温度特性を持つ電圧それぞれを適当な比率で加算することで実現している。異なる温度特性はそれぞれダイオードの特性を利用して、電圧生成を行っている[5]。

ここでのダイオードは P 形半導体と N 形半導体を接合した PN 接合ダイオードを指し、順方向に一定以上の電圧を印加すると電流をよく流し、逆方向に電圧を印加するとほとんど電流を流さないという整流作用を持つ素子である。順方向に印加した電圧と流れる電流の関係を式(2.1)に示す。I はダイオードに流れる電流、 $I_S$  は飽和電流、 $V_d$  は順方向に印加した電圧、 $V_T$  は熱電圧といい、電流が流れ始める電圧である。

$$I = I_S \exp\left(\frac{V_d}{V_T} - 1\right) \quad (2.1)$$

ここで熱電圧は式(2.2)のように表せることから、式(2.1)を電圧式に変形し、式(2.3)に示す。 $k_B$  はボルツマン定数、T は絶対温度、e は電子の持つ電荷量である。

$$V_T = \frac{k_B T}{e} \quad (2.2)$$

$$V_d = \frac{k_B T}{e} \ln\left(\frac{I}{I_S}\right) \quad (2.3)$$

飽和電流  $I_S$  がシリコンのバンドギャップの関数  $\varepsilon_g$  であることを考え、ダイオードにかかる電圧と温度の関係を図 2.1 に示す。図 2.1 はダイオードにそれぞれ異なる電流が与えられたときの温度による電圧の変化を示している。まず、一定の電流  $I_1$  を与えた時のダイオードの両端に表れる電圧は、高温になるほど小さくなっていることから負の温度係数を持つ

ているとわかる。また、ダイオードに異なる電流  $I_1$ ,  $I_2$  が与えられたときの電圧はそれぞれ  $V_{d1}$ ,  $V_{d2}$  と表すと、それぞれの電圧差  $\Delta V_d$  は高温になるほど大きくなっていることから正の温度係数をもっているとわかる。それぞれの係数を持つ電圧を組み合わせると、温度に依存しない電圧を生成している。

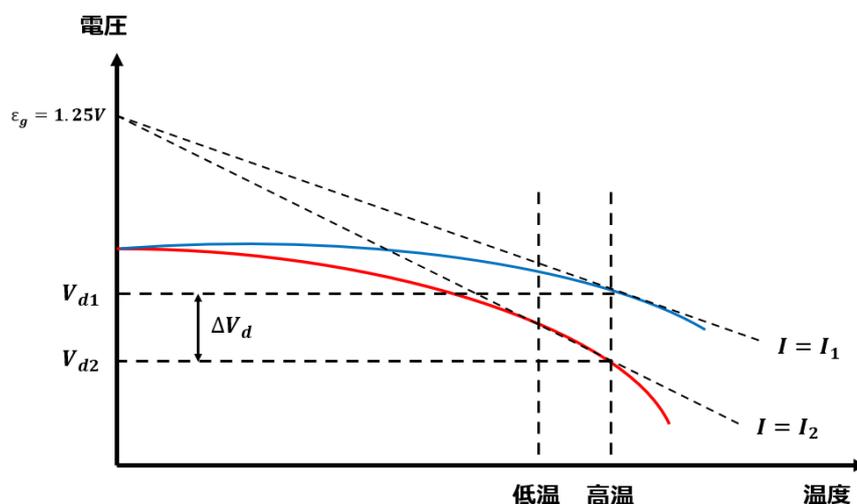


図 2.1 ダイオードの温度特性[5]

BGR 回路では、図 2.2 に示すように負の温度係数を持つ CTAT (Complementary To Absolute Temperature) 電圧、正の温度係数を持つ PTAT (Proportional To Absolute Temperature) 電圧を加算することで温度に依存しない電圧を生成している。ここではダイオードの特性を利用した CTAT 電圧と PTAT 電圧の生成方法について述べる。

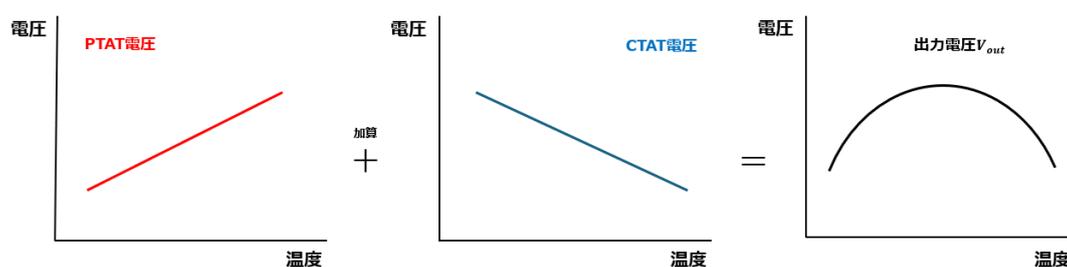


図 2.2 電圧加算により生成される出力電圧  $V_{out}$

図 2.3 にダイオードを用いた PTAT 電圧と CTAT 電圧それぞれの電圧の生成方法を示す。 $V_A = V_B$  としたとき、単体のダイオード  $D1$  と  $K$  個のダイオード  $D1$  を並列接続した  $D2$  に直列接続した抵抗  $R$  に同じ電流  $I$  を流した場合を考える。

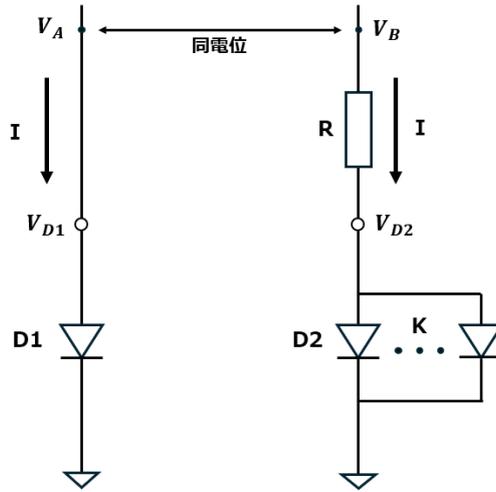


図 2.3 ダイオードを用いた PTAT 電圧と CTAT 電圧の生成[5]

ダイオード D1 にかかる電圧  $V_{D1}$  は、式(2.3)より

$$V_{D1} = \frac{k_B T}{e} \ln\left(\frac{I}{I_S}\right) \quad (2.4)$$

同じ電流  $I$  を流したとき電圧  $V_{D1}$  に対して、1 つ当たりのダイオードにかかる電流の比は  $I_{D1}:I_{D2} = 1:\frac{1}{K}$  となるため、ダイオードの両端にかかる電圧はそれぞれ異なり、電圧  $V_{D2}$  は

$$V_{D2} = \frac{k_B T}{e} \ln\left(\frac{I}{KI_S}\right) \quad (2.5)$$

式(2.4)と式(2.5)を利用して、ダイオード D1 と D2 のダイオード一個当たりの電圧差  $\Delta V_D$  を求めると

$$\Delta V_D = V_{D1} - V_{D2} = \frac{k_B T}{e} \ln\left(\frac{I}{I_S}\right) - \frac{k_B T}{e} \ln\left(\frac{I}{KI_S}\right) = \frac{k_B T}{e} \ln K \quad (2.6)$$

式(2.6)を温度  $T$  で偏微分したとき、式(2.7)が得られ、この式はダイオードの並列数  $K$  によって決まる関数であり、常に正の温度係数をもつとわかる。

$$\frac{\partial \Delta V_D}{\partial T} = \frac{k_B}{e} \ln K \quad (2.7)$$

以上より、温度変化の影響を受けない電圧生成が可能である。

### 2.1.2 BGR 回路の動作原理

本節では、ダイオードを用いた BGR 回路の構成例及び動作原理について説明する。前節で述べた方式で温度に依存しない電圧を生成している。BGR 回路の構成例を図 2.4 に示す。

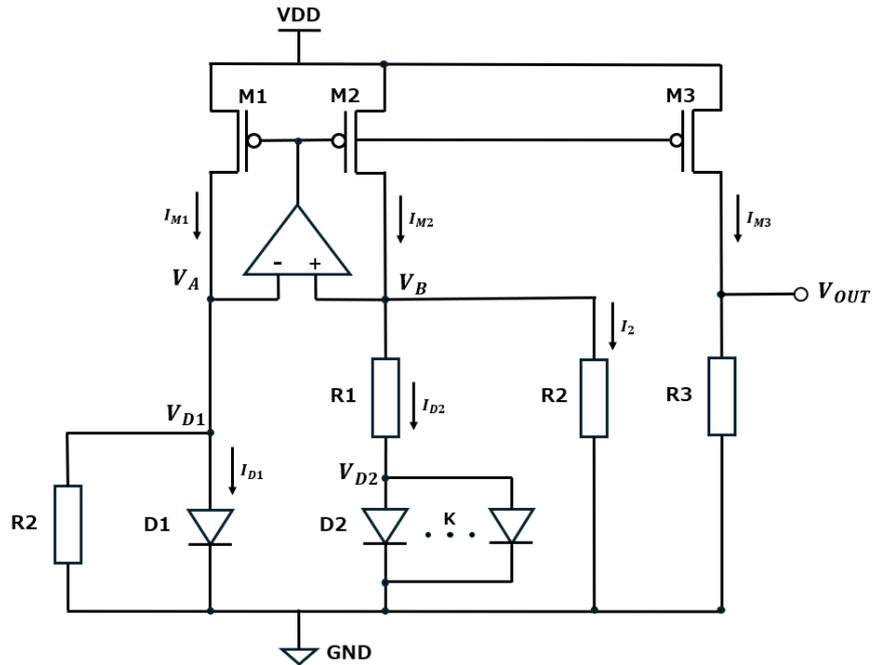


図 2.4 ダイオードを用いた BGR 回路の構成例

前節で述べた通りの動作をさせるためには、ダイオード D1 と D2 に同一電流が流れるように電流を制御し、図 2.3 における  $V_A$ 、 $V_B$  を等しくしなければならない。プロセスばらつきの影響からトランジスタサイズが一致せず、流れる電流が異なり  $V_A$ 、 $V_B$  の電圧が等しくならない場合があるため、対策として基本的な BGR 回路では図 2.4 のようにオペアンプを使用したレギュレーテッド・カスコードの構成をとることが多い。オペアンプを用いることで、入力電圧部分は仮想短絡により  $V_A$  及び  $V_B$  を強制的に等電位にさせることが可能である。したがって、オペアンプの仮想短絡の部分において

$$V_A = V_B \quad (2.8)$$

BGR 回路における電流生成はトランジスタを用いたカレントミラーにより行っている。そのためトランジスタサイズが同一の M1、M2、M3 を用いたとき

$$I_{M1} = I_{M2} = I_{M3} \quad (2.9)$$

また、図 2.4 より電流  $I_{M2}$ 、 $I_{M3}$  の関係は

$$I_{M3} = I_{M2} = I_2 + I_{D2} \quad (2.10)$$

このとき電圧の関係は式(2.8)及び図 2.4 から

$$V_B = V_A = V_{D1} \quad (2.11)$$

となるので、このとき電流  $I_2$ 、 $I_{D2}$  は

$$I_2 = \frac{V_B}{R_2} = \frac{V_{D1}}{R_2} \quad (2.12)$$

$$I_{D2} = \frac{V_B - V_{D2}}{R_1} = \frac{V_{D1} - V_{D2}}{R_1} = \frac{\Delta V_D}{R_1} \quad (2.13)$$

と表すことができる。以上より出力電圧  $V_{OUT}$  は次のように表すことができる。

$$\begin{aligned} V_{OUT} &= R_3 I_{M3} = R_3 (I_2 + I_{M2}) \\ &= R_3 \left( \frac{V_{D1}}{R_2} + \frac{\Delta V_D}{R_1} \right) \end{aligned} \quad (2.14)$$

### 2.1.3 BGR 回路の温度依存性

本節では 2.1.1 節で確認した温度に依存しない電圧生成について理論式を用いて説明する。BGR 回路の出力電圧の式(2.14)を温度について考慮するために温度  $T$  で偏微分すると

$$\frac{\partial V_{OUT}}{\partial T} = \frac{R_3}{R_2} \frac{\partial V_{D1}}{\partial T} + \frac{R_3}{R_1} \frac{\partial \Delta V_D}{\partial T} \quad (2.15)$$

温度依存性のない電圧生成が行われるためには  $\frac{\partial V_{OUT}}{\partial T} = 0$ ，すなわち

$$0 = \frac{R_3}{R_2} \frac{\partial V_{D1}}{\partial T} + \frac{R_3}{R_1} \frac{\partial \Delta V_D}{\partial T} \quad (2.16)$$

が成り立つ必要がある。この式(2.16)の右辺第 2 項は式(2.7)よりダイオードの並列数  $K$  の値と抵抗  $R_1$ ,  $R_3$  の値により固有の数値を示すことが分かる。そして、本研究においてはダイオードの部分に代用として PNPBJT (PNP 型バイポーラトランジスタ) を使用している。そのため、ダイオードにかかる電圧をトランジスタのベース-エミッタ間にかかる電圧とみなして考える。また、一般的に  $\frac{\partial V_{BE}}{\partial T}$  の値は  $-1.40 \times 10^{-3} \text{V}$  程度になることが知られている[10][18].

したがって、温度依存性の低い BGR 回路を実現するためには理論式に基づき、各抵抗やその他の素子に適切なパラメータを設定することが必要である。

ここで、温度依存性を評価するための指標である温度係数 TC (Temperature Coefficient) について説明する。この指標は BGR 回路を一定の電源電圧条件下において所望の動作温度範囲で温度変化させた場合の出力電圧の変動である。TC の計算式を式(2.17)に示す。

$$TC = \frac{(V_{OUT(max)} - V_{OUT(min)})}{V_{OUT(mean)}} \times \frac{1}{(T_{max} - T_{min})} \times 10^6 \quad (2.17)$$

$V_{OUT(max)}$ ,  $V_{OUT(min)}$ ,  $V_{OUT(mean)}$  はそれぞれ動作温度範囲における回路の出力電圧の最大値, 最小値, 平均値を意味しており, TC の単位は [ppm/°C] である。TC の値が小さいほど回路における出力電圧に対する温度変化の影響が小さいことを示している。また、本研究において BGR 回路の温度依存性を考える条件として電源電圧 1.8V, 動作温度範囲 0~100°C で動作させることを前提としている。

## 2.2 スタートアップ回路

本研究のBGR回路はMOSFETとBJT、抵抗を使用した回路となっている。それぞれの素子の特性としてBJTの電流はダイオードの特性を考えると指数関数的に増加し、抵抗の電流はオームの法則から直線的に増加することがわかっているため、図2.5に示すようにそれぞれのI-V特性が交差する点をBGR回路の動作点とする場合には2つの動作点A、Bをもつことがわかる。

まず動作点Aで動作させる場合を考える。動作点Aは電流も電圧も小さい状態であるため、BGR回路に用いているBJTをオン状態で維持できない。したがってBGR回路のオペアンプの出力電圧が電源電圧と近い値となり、カレントミラーに流れる電流 $I_1$ 、 $I_2$ 、 $I_3$ は非常に小さくなる。その結果BGR回路全体の出力電圧はほとんど出力されず0V付近で安定した動作をする[18]。そのため所望の出力電圧が得られず、正常に動作していると言えない。よって、BGR回路を動作点Bで動作させる必要があるが、動作点に達するまでにダイオードや抵抗に電流を供給する目的で搭載するのがスタートアップ回路である[10]。このようなBiCMOS (Bipolar CMOS) 技術を使用した場合、BGR回路コアを適切に動作させるために回路を搭載することが多い。

本研究で用いたスタートアップ回路を図2.6に示す。動作として、まずVDDの立ち上がりにおいては $M_7$ によって $M_4$ 、 $M_5$ には電流は流れず、抵抗 $R_S$ には電流も流れず電圧はかからない。このとき $M_6$ がオン状態となり、抵抗とダイオードに電流が流れ込むことで回路コアが起動する。さらにVDDの値が大きくなると $M_7$ がオン状態となる。するとカレントミラー $M_4$ 、 $M_5$ の部分に電流が流れることで抵抗 $R_S$ に電流が流れる。抵抗 $R_S$ に電圧がかかることで $M_6$ がオフ状態となり、スタートアップは終了する。本研究で試作したBGR回路にはすべてスタートアップ回路を搭載している。

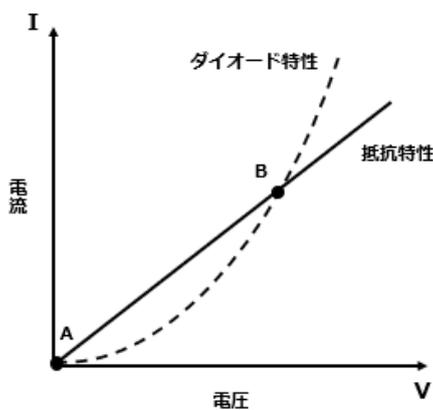


図 2.5 BGR 回路の動作点

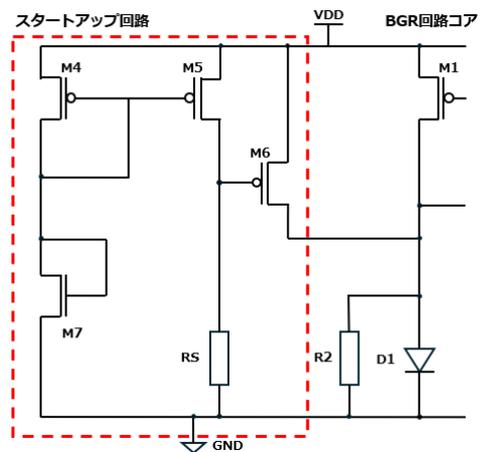


図 2.6 スタートアップ回路の回路図

## 第3章 本研究で試作した BGR 回路

### 3.1 回路設計環境

本章では本研究で試作した BGR 回路コアの構成や各素子設計及び先行研究との変更点について述べる。本研究における回路設計は Rohm0.18 $\mu\text{m}$  テクノロジーで行い、チップ試作を行った。表 3.1 に本研究の設計環境を示す。回路の設計及びシミュレーションは HSPICE で行い、CosmosScope を用いて出力電圧を波形として観測した。

表 3.1 設計環境

ツール	用途	メーカー
IC64	アナログ回路プラットフォーム	Cadence
HSPICE	回路シミュレーション	Synopsys
CosmosScope	波形ビューア	Synopsys
Calibre	LVS/DRC検証	Mentor

また、本研究の BGR 回路の設計目標を表 3.2 に示す。設計目標は先行研究[10][11]から変更せず、出力電圧の大きさは 1.0V とし、製造バラツキの観点から出力電圧変動（バラツキ許容）は $\pm 0.010\text{V}$ 以内とした。また温度変化に対する強さを表す数値である温度係数 TC については式(2.17)を用いて測定結果から計算を行い、100ppm/ $^{\circ}\text{C}$ 以内であれば回路の温度依存性は低いと判断できると考えた。

表 3.2 設計目標

項目	目標数値
動作電源範囲	1.6V~2.5V
出力電圧(VDD=1.8V)	1.00V
出力電圧変動	$\pm 0.010\text{V}$ 以内
温度係数TC (0 $^{\circ}\text{C}$ ~100 $^{\circ}\text{C}$ )	100ppm/ $^{\circ}\text{C}$

### 3.2 試作 BGR 回路コア

本研究で試作した回路の BGR コアの構成を図 3.1 に示す[19].

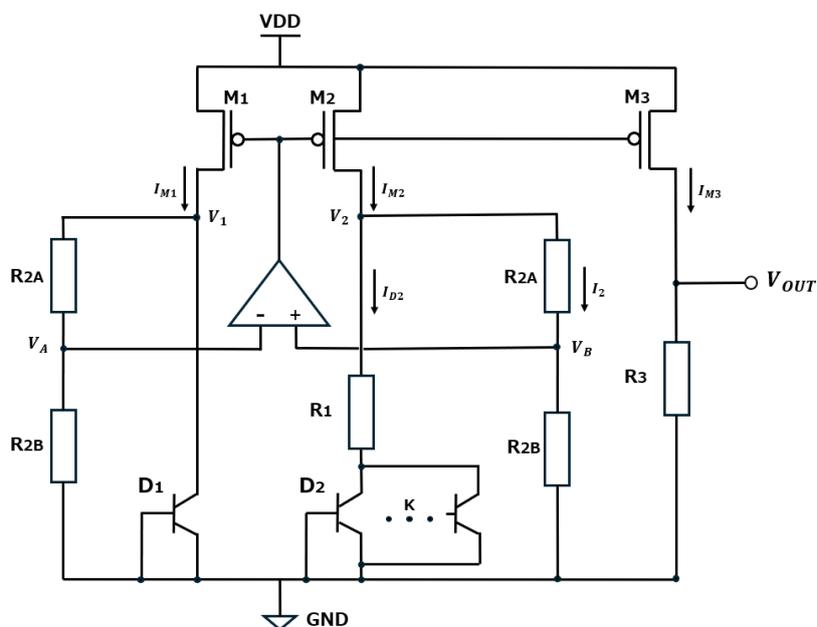


図 3.1 試作した回路の BGR コア[19]

基本的な回路構成は図 2.4 とほとんど変わっていないが、主な変更点として 2 ヶ所ある。まず 1 ヶ所が 2.1.3 節でも述べたように BJT をダイオード接続することでダイオードの代用としている。BJT 単体の電圧を  $V_{EB1}$ 、並列に  $K$  個接続した BJT にかかる電圧を  $V_{EB2}$  とすると、 $V_{EB1}$  と  $V_{EB2}$  の電位差  $\Delta V_{EB}$  の各電圧はそれぞれ次の式で表される。

$$V_{EB1} = V_{D1} \quad (3.1)$$

$$V_{EB2} = V_{D2} \quad (3.2)$$

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = \Delta V_D \quad (3.3)$$

もう 1 ヶ所がオペアンプの入力部である。図 2.4 における抵抗  $R_2$  の上部に直列接続の形で抵抗を追加し、追加した抵抗を  $R_{2A}$ 、抵抗  $R_2$  を  $R_{2B}$  としてそれぞれの抵抗の和を  $R_2$  となるように  $R_2 = R_{2A} + R_{2B}$  をおく。この変更を行ったのは本研究のような低電圧条件で回路を動作させる際の最低動作電源電圧  $V_{DD}(\min)$  について考慮するためである。図 2.4 の回路構成でも 1V 以下を出力電圧とする低電圧動作は可能であるが、オペアンプの入力コモンモード電圧の影響から最低動作電源電圧が制限されてしまう。最低動作電源電圧において、入力段の PMOS は飽和領域で動作する必要があるため、オペアンプの入力部を変更することでコモンモード電圧の影響を考慮しつつ、回路の低電圧動作を可能としている[19].

次に図 3.1 の回路コアの動作について説明する.

まず, M1, M2, M3 のカレントミラーはトランジスタの W/L 比が等しいとき式(2.9)と同様に  $I_{M1} = I_{M2} = I_{M3}$  が成り立ち,  $I_{M2}$  は式(2.10)より  $I_{M2} = I_2 + I_{D2}$  である.

また, 図 2.3 より  $V_1 = V_2$  かつオペアンプの仮想短絡により  $V_A = V_B$  が成り立つ.

ここで  $V_2$  に着目する.  $V_2$  に関する電圧の関係を式で表すと, 次のように表せる.

$$V_2 = V_1 = V_{EB1} = R_1 I_{D2} + V_{EB2} \quad (3.4)$$

また, このときの電流  $I_2$ ,  $I_{D2}$  は

$$I_2 = \frac{V_2}{R_2} = \frac{V_{EB1}}{R_2} = \frac{V_{EB1}}{R_{2A} + R_{2B}} \quad (3.5)$$

$$I_{D2} = \frac{V_2 - V_{EB2}}{R_1} = \frac{V_{EB1} - V_{EB2}}{R_1} = \frac{\Delta V_{EB}}{R_1} \quad (3.6)$$

と表すことができる.

したがって回路全体の出力電圧の理論式として, 次式が得られる.

$$\begin{aligned} V_{OUT} &= R_3 I_{M3} = R_3 (I_2 + I_{D2}) \\ &= R_3 \left( \frac{V_{EB1}}{R_2} + \frac{\Delta V_{EB}}{R_1} \right) \\ &= \frac{R_3}{R_2} V_{EB1} + \frac{R_3}{R_1} \Delta V_{EB} \end{aligned} \quad (3.7)$$

### 3.2.1 ダイオード

本研究で使用したダイオードは前節まで述べた通り, 単体のダイオードとそれを並列に  $K$  個並べたものである. 異なる部分として, 並列に並べたダイオードの数  $K$  の値はもちろんだが, それは単体ダイオードと並列に並べたダイオードとの面積比, 流れる電流の比にも直結しており, それぞれ面積比 1:K, 流れる電流比 1:1/K となる[5].

次に, ダイオードの特性に関するシミュレーションについて述べる. シミュレーションに用いたダイオードモデルは先行研究[10]と同じもので行い, 特性検証回路を図 3.2 に示す. このダイオードモデルでは温度特性に関してシミュレーション値と実測値との誤差が 1%以内に収まっていることが報告されている[10].

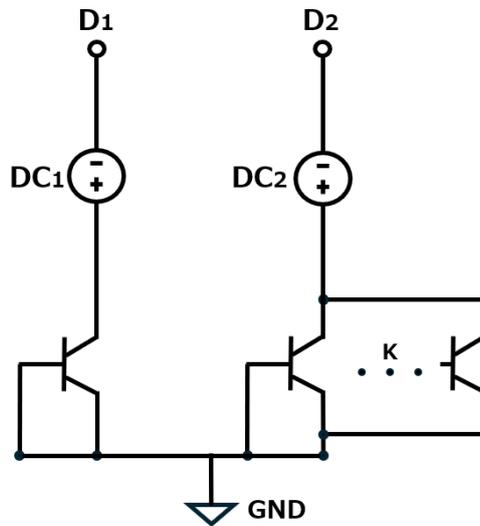


図 3.2 ダイオードの特性検証回路

最後に、本研究で用いたダイオードのレイアウト設計について述べる。本研究ではダイオードの並列数を変更した回路を試作した。ダイオードの設計では、まずプロセスバラツキを抑制するという目的でコモンセントロイド配置を採用している。これは並列数  $K$  の値を偶数にすることでレイアウトの対称性を確保している。また、エッチング粒子の流入を等価にする目的で使用するダイオード  $D1$ ,  $D2$  を囲むようにダミーパターンを配置している。本研究で設計したダイオードのレイアウトパターンを  $K=10$ ,  $14$ ,  $16$  のときを図 3.3, 図 3.4, 図 3.5 にそれぞれ示す。図 3.5 からわかるようにダイオードの並列数が 16 以上になると、ダミーパターンを配置するためにダイオード全体の回路面積が大きくなっている。

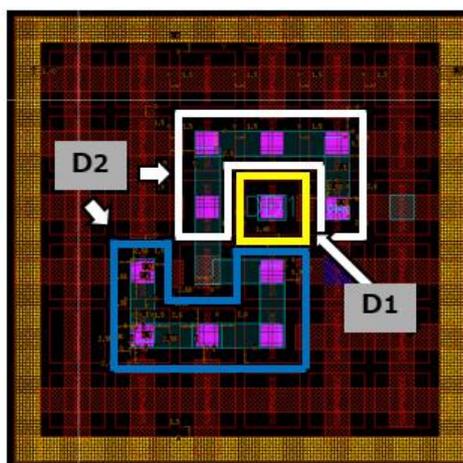


図 3.3 並列数  $K=10$  のレイアウト

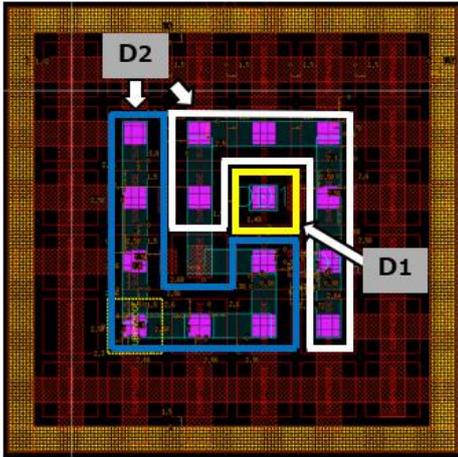


図 3.4 並列数 K=14 のレイアウト

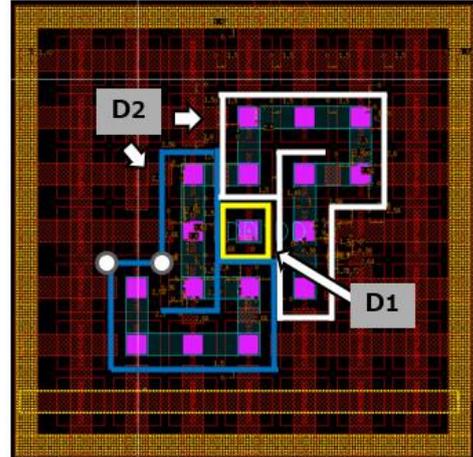


図 3.5 並列数 K=16 のレイアウト

### 3.2.2 オペアンプ

本研究で使用したオペアンプについて説明する．まず本研究のオペアンプは先行研究[10]で設計したオペアンプの回路構成を使用している，本オペアンプは p チャネル入力の 2 段構成オペアンプとなっており，回路図を図 3.6 に示す．また，設計した本オペアンプに使用したトランジスタなどの各素子パラメータを表 3.3 に示す．1 段目を差動増幅回路とし，2 段目をソース接地増幅回路とすることでより高い電圧利得が得られるようになっている．ここで，増幅回路は寄生容量と出力抵抗によるローパス・フィルタの特性を持つ．ローパス・フィルタはカットオフ周波数以上の高い周波数信号を入力すると，入出力間で位相の遅れが発生し，これにより最終的に回路が発振する．その対策（位相補償）として 1 段目の差動増幅回路と 2 段目のソース接地回路の間にキャパシタ  $C_c$  を接続した．これにより 1 段目の差動増幅回路のカットオフ周波数を下げることができ，発振を防ぐことができる[5]．

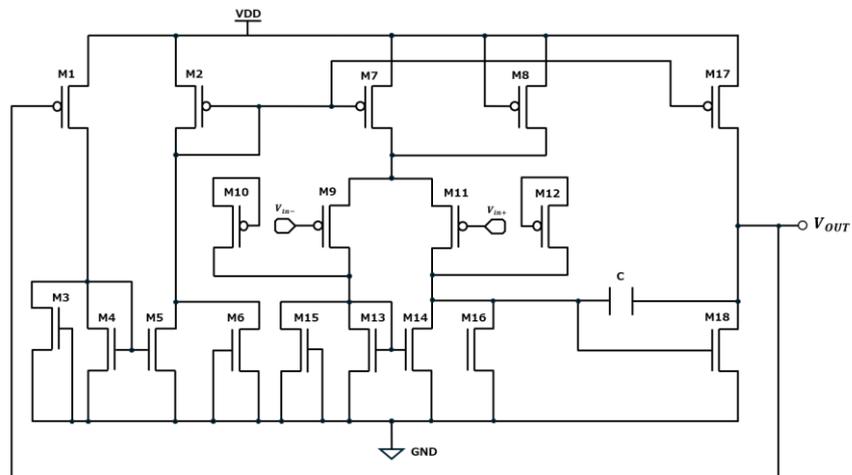


図 3.6 p チャネル 2 段構成オペアンプ

表 3.3 オペアンプの各素子パラメータ[10]

トランジスタ	W/L	並列数
M1, M2	5 $\mu\text{m}$ / 2 $\mu\text{m}$	2
M3, M4, M5, M6	1.38 $\mu\text{m}$ / 1.08 $\mu\text{m}$	1
M7, M8	1.3 $\mu\text{m}$ / 1.08 $\mu\text{m}$	1
M9, M10, M11, M12	2.7 $\mu\text{m}$ / 1.08 $\mu\text{m}$	1
M13, M14, M15, M16	0.7 $\mu\text{m}$ / 2 $\mu\text{m}$	1
M17	5.4 $\mu\text{m}$ / 1.08 $\mu\text{m}$	2
M18	2.7 $\mu\text{m}$ / 1.08 $\mu\text{m}$	2
<hr/>		
キャパシタ	数値	
Cc	3pF	

### 3.2.3 オフセット電圧

BGR 回路は温度依存性のない出力電圧を得るために正と負の温度係数を持つ電圧を適切な割合で加算している. 式(3.7)について, 2.1.3 節で述べたように  $\frac{R_3}{R_2}V_{EB1}$  は図 2.1 より単体

のダイオードの温度特性である負の温度相関をもち,  $\frac{R_3}{R_1}\Delta V_{EB}$  は式(2.7)より正の温度相関をもっていることがわかる. そのため, 理想的な条件下においては式(3.7)の係数を適切に調節することで温度依存性のない電圧生成が可能である.

しかし, 実際にはオペアンプの入力部に電圧差が発生することによって生じるオフセット電圧( $V_{os}$ )についても考慮しなければならない.  $V_{os}$  もオペアンプにより増幅される電圧に含まれているため全体の出力電圧に対して直接的な影響が大きいためである. 本研究において考慮すべき  $V_{os}$  は図 3.1 における  $V_A$  と  $V_B$  の電圧差によって生じる電圧であり, 入力部に電圧差が生じる原因として, 主に 2 つの理由が考えられる[20].

①トランジスタサイズが一致しておらず,  $I_{M1}$  と  $I_{M2}$  に差が生じてしまう

②製造バラツキにより入力部を挟むように配置された抵抗  $R_{2A}$ ,  $R_{2B}$  の大きさが変化した  
 本研究ではプロセスバラツキにより生じる電圧差を完全に 0 にするのは難しいと考えたため, 回路内の素子や回路構成を変えることで間接的にオフセット電圧を抑制する手法を考えた. 現実的な手法としてキャリブレーション回路などを回路に組み込んで直接的にオフセット電圧を打ち消す手法があるが[9], 回路規模を大きくしてしまうとバラツキが悪化するため, オフセット電圧の特性から全体の出力電圧に対するオフセット電圧の影響とその割合を予め考慮しておくことで間接的にオフセット電圧の抑制をする手法を選択した.

まず、先行研究[10]より  $V_{OS}$  は 5~20mV 程度の大きさの電圧であり、回路構成を考慮すると負の温度特性になることが報告されている。したがって、 $V_{OS}$  が大きくなると BGR 回路の出力電圧における CTAT 電圧の割合が大きくなるため、対処として本研究では予め PTAT 電圧の割合を大きくすることを考え、式(3.7)よりダイオードの並列数  $K$  の値をこれまで試作した回路よりも大きくした回路を設計した。この手法について、3.3 節で詳しく説明する。

また、 $V_{OS}$  が生じることにより式(3.7)についても予め  $V_{OS}$  を考慮した出力電圧式に変更する必要がある。 $V_{OS}$  を考えるために用いるオペアンプと抵抗の回路図を図 3.7 に示す。オペアンプの仮想短絡により  $V_A = V_B$  となる必要があるが、 $V_A$  側に  $V_{OS}$  が生じた場合を考える。まず、 $V_A$  及び  $V_B$  について電圧をそれぞれ考えると、

$$V_A = V_{OS} \quad (3.8)$$

$$V_B = \frac{R_{2B}}{R_{2A} + R_{2B}} V_{OP\_OUT} \quad (3.9)$$

このとき、仮想短絡が成り立つとすると

$$V_{OS} = \frac{R_{2B}}{R_{2A} + R_{2B}} V_{OP\_OUT} \quad (3.10)$$

式(3.10)についてオペアンプの出力電圧式に直すと

$$V_{OP\_OUT} = \frac{R_{2A} + R_{2B}}{R_{2B}} V_{OS} \quad (3.11)$$

$V_{OS}$  が生じることにより回路全体の出力電圧に  $\frac{R_{2A} + R_{2B}}{R_{2B}} V_{OS}$  が余分にかかるとわかる。

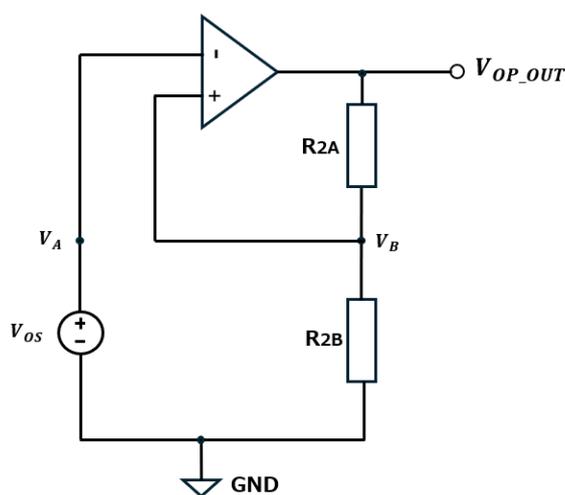


図 3.7 オペアンプと抵抗の回路

そして、図 3.1 における  $V_1$  と  $V_2$  の関係も変わり、 $V_1 + V_{OS} = V_2$  となる。

ここで式(3.4)より

$$R_1 I_{D2} = \Delta V_{EB} + V_{OS} \quad (3.12)$$

したがって、式(3.7)より回路の出力電圧は

$$V_{OUT} = \frac{R_3}{R_1} \left\{ V_T \ln K + \frac{R_1}{R_{2A} + R_{2B}} V_{EB1} + \left( 1 + \frac{R_{2A}}{R_{2B}} \right) V_{OS} \right\} \quad (3.13)$$

として求められる[19].

### 3.3 試作 BGR 回路

本研究では温度依存性の低い出力電圧の生成という目的を満たすために、2023年2月、2023年9月、2024年9月に BGR 回路を計4種類設計した。本節では設計時期順に第1回、第2回、第3回としてそれぞれの試作回路について述べる。

#### 3.3.1 第1回試作 BGR 回路

本研究では先行研究[10]の結果から BGR 回路コアに用いるダイオードの並列数  $K$  の値を変更した回路を新たに設計した。第1回試作 BGR 回路の回路構成を図 3.8 に示す。こちらは 2.4 節で述べたスタートアップ回路を搭載しており、回路内のオペアンプは 3.2.2 節で説明したものをを用いている。基本的な回路構成は図 3.1 と同じものではあるが、設計上では並列数の値が変更されている。先行研究[10]では  $K=8$  であったため、対称性の観点から次に大きい偶数である  $K=10$  に変更した。3.2.3 節で述べたように並列数  $K$  の値を変更することでダイオード一つあたりにかかる電圧差  $\Delta V_d$  が変化する。 $\Delta V_d$  は温度と並列数によって決まる固有値であり、各並列数  $K$  の場合の  $\Delta V_d$  の値を表 3.3 に示す。計算には式(2.6)を用いて、温度条件は  $T = 27^\circ\text{C}$  とした。

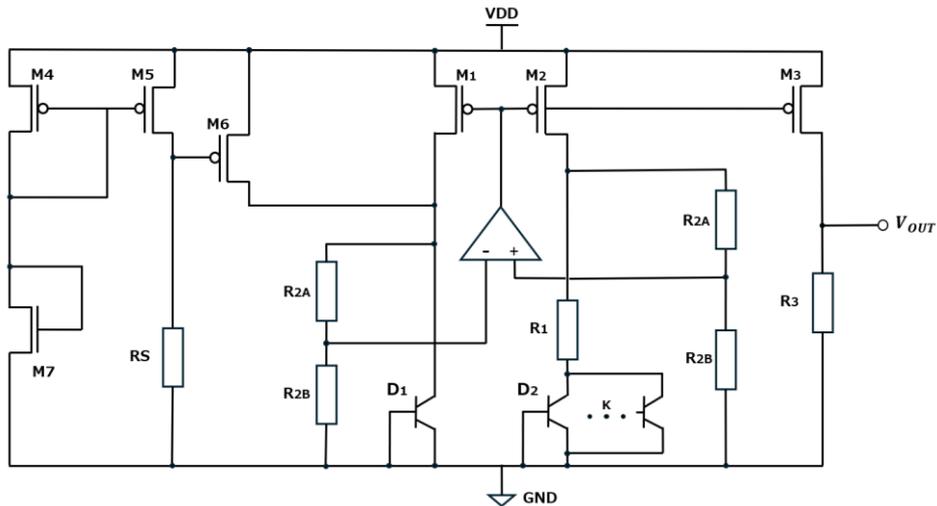


図 3.8 第1回試作 BGR 回路の構成

表 3.3 ダイオードの並列数 K と  $\Delta V_d$  の関係

ダイオードの並列数K	$V_T \ln K$ (V)
K=8	0.053757723
K=10	0.05952643
K=12	0.064239807
K=14	0.06822491
K=16	0.071676964

表 3.3 からわかるように PTAT 電圧は固有値をもつので、同程度の CTAT 電圧となるように抵抗のパラメータを設定する必要がある。

まず、式(3.13)における係数である  $\frac{R_3}{R_1}$  において分母の  $R_1$  を固定した。これにより、最終的に抵抗  $R_3$  の値で出力電圧の大きさを調整できるようにした。また、ベース-エミッタ間電圧 ( $V_{EB}$ ) は 0.6V 程度であることが分かっており [5]、先述した  $V_{OS}$  に関しては 10mV 程度となると仮定した。10mV 程度とした理由としては、5mV-15mV 以内であれば  $V_{OS}$  が変動したとしても温度係数の目標を満たすことができると考えたためであり、中央値である 10mV とした。また、先行研究 [10] において 20mV 以上のとなる場合、回路の出力電圧が 0V に落ち込む場合があることが示されていたため、この場合の原因としては製造バラツキによる電圧変動であると考えた。そのため、測定できないチップが存在する、もしくは半分以上の測定回路の出力電圧が 1.00V よりも大きくなっていったときにはオフセット電圧が想定よりも大きくなっている可能性が大きいいため次回以降の回路設計では想定オフセットを考え直す必要がある。最終的に設計した BGR 回路に用いた各素子のパラメータを表 3.4 にまとめる。

表 3.4 第 1 回試作 BGR 回路の素子パラメータ

回路名	回路要素	素子名称	パラメータ
	MOSFET (カレントミラー)	M1, M2, M3	2.7 $\mu$ m / 1.08 $\mu$ m
BGR_K_10	抵抗	R1	20k $\Omega$
		R2A	30k $\Omega$
		R2B	160k $\Omega$
		R3	160k $\Omega$

第1回試作BGR回路では、シミュレーション上では $TC = 39.96$ となり、設計目標を満たした回路となった。

### 3.3.2 第2回試作BGR回路

第2回試作BGR回路は第1回試作BGR回路に引き続きダイオードの並列数 $K$ を変更した回路を新たに2種類設計した。回路構成は図3.8の第1回BGR回路と同じものを使用しているが、設計上では並列数の値が変更された回路となっている。本試作回路ではダイオードの並列数を $K=14, 16$ に変更した。この変更によって表3.3のようにPTAT電圧が大きくなることで、より相対的に $V_{OS}$ の影響を小さくすることが可能であると考えた。そのため第1回試作BGR回路よりも安定した温度特性を示すと考え、設計をおこなった。しかし、図3.5のように $K=16$ の場合、本研究の設計においてはダミーパターンを採用していることから必要となる回路面積が大きくなってしまっている。これにより素子バラツキの要因が増えているため、出力電圧にどのように影響があるのかについても確かめる必要がある。各素子パラメータの設定については第1回試作と同様の手法で行った。設計したBGR回路に用いた各素子のパラメータを表3.5にそれぞれまとめる。

表 3.5 第2回試作BGR回路の素子パラメータ

回路名	回路要素	素子名称	パラメータ
BGR_K_14	MOSFET (カレントミラー)	M1, M2, M3	$2.7\mu\text{m} / 1.08\mu\text{m}$
	抵抗	R1	$20\text{k}\Omega$
		R2A	$40\text{k}\Omega$
		R2B	$120\text{k}\Omega$
		R3	$130\text{k}\Omega$
BGR_K_16	MOSFET (カレントミラー)	M1, M2, M3	$2.7\mu\text{m} / 1.08\mu\text{m}$
	抵抗	R1	$20\text{k}\Omega$
		R2A	$30\text{k}\Omega$
		R2B	$120\text{k}\Omega$
		R3	$120\text{k}\Omega$

第2回試作で設計した2種類のBGR回路について、シミュレーション上ではそれぞれ  $K=14$  のとき  $TC = 24.91$ ,  $K=16$  のとき  $TC = 17.78$  となり、ともに設計目標を満たしている。

### 3.2.3 第3回試作 BGR 回路

第3回試作ではこれまで試作してきた回路構成から回路コアを増やして2コアのBGR回路を新たに作成した。本研究で試作した2コアBGRの回路コアを図3.9に示す。BGR回路コアを向かい合わせに配置し、それぞれの回路で生成した電圧を加算する形式で所望の電圧を得られる回路を設計した。一般に異なる電圧を加算し、温度依存性の低い出力電圧を得る手法として、代表的であり直感的に理解しやすいものが図2.2のように正の温度係数をもつ電圧と負の温度係数をもつ電圧を加算する手法で、逆の温度相関をもつ電圧を加算し、それぞれの特性を打ち消し合うことで低い温度依存性を実現している。一方で、図3.10のような手法もあり、同様の温度依存性を持つ回路について大きい出力電圧をもつ回路から小さい出力電圧をもつ回路の電圧を減算することで、より精度の高い温度補償が可能となる[18]。

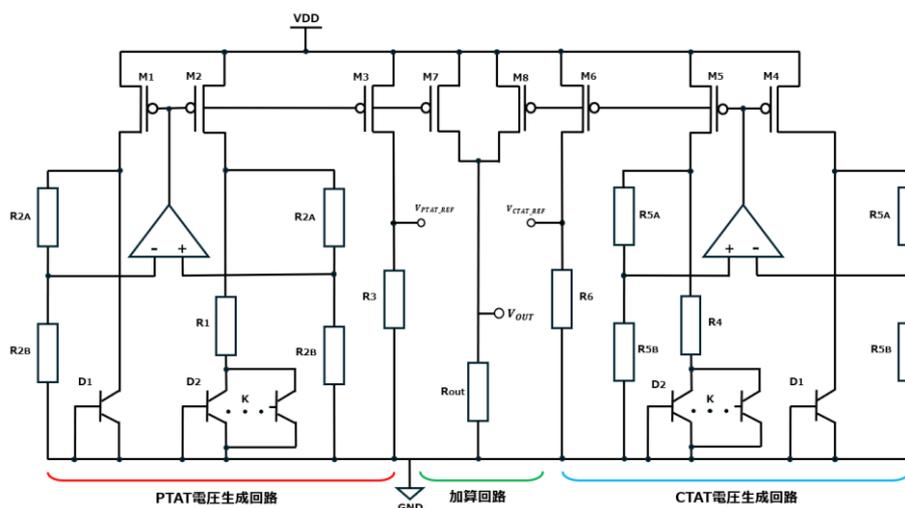


図 3.9 第3回試作 BGR 回路コアの回路構成

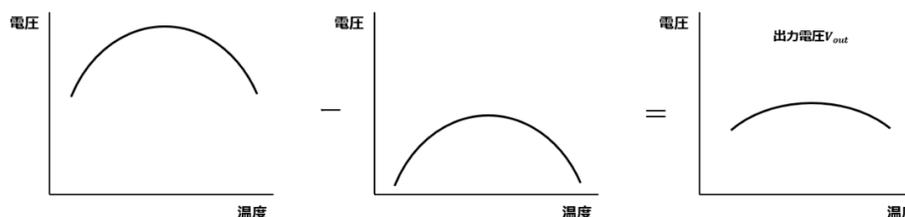


図 3.10 減算による温度依存性の実現手法

次に本研究における2コアBGR回路の設計について述べる。本研究では、先述した温度依存性の実現手法として、正と負それぞれの電圧特性を打ち消し合う手法を採用した。基本的なBGR回路コアの回路構成は変更していないため、2つのBGR回路においては、それぞれで式(3.13)を用いて出力電圧を得られるように設計した。図3.9のように左側に配置されたBGR回路がPTAT電圧（正の温度係数）を生成し、右側に配置されたBGR回路がCTAT電圧（負の温度係数）を生成している。加算回路部分では、カレントミラーとなるように同サイズのMOSFETをそれぞれの回路からつなげており、抵抗 $R_7$ は全体の出力電圧を調節する役割もっている。

また、出力電圧式に関しては、カレントミラーの電流基準で考え、加算回路における電流の関係性を示すと

$$I_{OUT} = I_3 + I_6 \quad (3.14)$$

ここで、各電流の値をオームの法則から電圧と抵抗の式に変換すると

$$\frac{V_{OUT}}{R_7} = \frac{V_{PTAT\_REF}}{R_3} + \frac{V_{CTAT\_REF}}{R_6} \quad (3.15)$$

よって、全体の出力電圧は式(3.13)より

$$\begin{aligned} V_{OUT} &= R_7 \left( \frac{V_{PTAT\_REF}}{R_3} + \frac{V_{CTAT\_REF}}{R_6} \right) \\ &= \frac{R_7}{R_1} \left\{ V_T \ln K + \frac{R_1}{R_{2A} + R_{2B}} V_{EB1} + \left( 1 + \frac{R_{2A}}{R_{2B}} \right) V_{os} \right\} \\ &\quad + \frac{R_7}{R_4} \left\{ V_T \ln K + \frac{R_4}{R_{5A} + R_{5B}} V_{EB1} + \left( 1 + \frac{R_{5A}}{R_{5B}} \right) V_{os} \right\} \end{aligned} \quad (3.16)$$

というように表すことができると考えた。

よって、式(3.16)もとにシミュレーションを行い、設計した2コアBGR回路に用いた各素子のパラメータを表3.6にまとめる。

また、本試作では抵抗 $R_1$ と $R_4$ を同じ値に設定した。これにより式(3.16)はより書き換えることもでき、

$$V_{OUT} = \frac{R_7}{R_1} \left\{ 2V_T \ln K + R_1 \left( \frac{1}{R_{2A} + R_{2B}} + \frac{1}{R_{5A} + R_{5B}} \right) V_{EB1} + \left( 2 + \frac{R_{2A}}{R_{2B}} + \frac{R_{5A}}{R_{5B}} \right) V_{os} \right\} \quad (3.17)$$

と表される。本試作回路ではダイオードの並列数は $K=10$ で設計を行った。

表 3.6 第 3 回試作 BGR 回路の素子パラメータ

回路名	回路要素	素子名称	パラメータ
BGR_2core	MOSFET (PTAT生成回路)	M1, M2, M3	2.7 $\mu$ m / 1.08 $\mu$ m
	MOSFET (CTAT生成回路)	M4, M5, M6	2.7 $\mu$ m / 1.08 $\mu$ m
	MOSFET (加算回路)	M7, M8	2.7 $\mu$ m / 1.08 $\mu$ m
		R <sup>1</sup>	20k $\Omega$
	抵抗 (PTAT生成回路)	R <sup>2A</sup>	100k $\Omega$
		R <sup>2B</sup>	100k $\Omega$
		R <sup>3</sup>	90k $\Omega$
		R <sup>4</sup>	20k $\Omega$
	抵抗 (CTAT生成回路)	R <sup>5A</sup>	50k $\Omega$
		R <sup>5B</sup>	50k $\Omega$
	R <sup>6</sup>	50k $\Omega$	
	抵抗 (加算回路)	R <sup>7</sup>	6k $\Omega$

第 3 回試作で設計した 2 コア BGR 回路について、シミュレーション上では  $TC = 79.31$  となり、設計目標を満たした回路となっている。しかし、今回試作した回路の中では最も悪い数値を示している。また、一般的に製造における素子バラツキには回路全体の面積に依存すると考えられていることから、2 倍以上の出力電圧バラツキがみられる可能性がある。仮に加算がうまくいかず、全体の出力電圧がこれまで試作した回路よりも明確に 1.00V から離れている場合にはその原因についても考慮する必要がある。

## 第 4 章 シミュレーション及び実測結果

本章では，回路設計ソフトを用いて行ったシミュレーション結果と試作した Chip の実測結果についての比較及びその評価について述べる．

### 4.1 実測環境

本研究では，表 3.1 に示したソフトやツールを用いて回路設計及びシミュレーションを行うことに加えて，回路のレイアウト（階層構造）や配線についても設計を行い，それに基づき試作していただいた Chip を実際に測定し，評価を行った．実測において使用した機器について表 4.1 にまとめる．

表 4.1 使用した測定機器

機器名称	型式	メーカー
DC Power Supply	E3610A	Agilent Technologies
DC Power Supply	E3642A	Agilent Technologies
6 1/2 Digit Multimeter	34401A	Agilent Technologies
Temperature & Humidity Chamber	SH-241	ESPEC

実測については，回路の電源電圧特性と温度特性の 2 つの特性の測定を行った．まず，電源電圧特性については回路の電源電圧を 0~2.5V まで 0.05V 刻みで変化させたときの出力電圧の変化を測定した．電源電圧特性から動作電源範囲における出力電圧の変化や 1.0V 付近の出力電圧が得られているかについて確認する．一方で温度特性は電源電圧を 1.8V に固定し，Chip の温度を 0~100°C まで変化させたときの出力電圧の変動を測定した．温度特性では式(2.17)から得られる TC 値の目標を満たせている Chip 数や出力電圧のバラツキについても確認する．また，温度特性の実測における温度変化には，小型環境試験機 SH-241 を使用した．試験機内部に回路を搭載した Chip や治具を入れ，測定機器を配線し，内部の温度を変化させて測定した．本研究で使用した治具を図 4.1 に示す．中央の黒いソケットに Chip を配置し，そこから枝分かれしたピンに各機器の配線を行うことで測定を行っている．

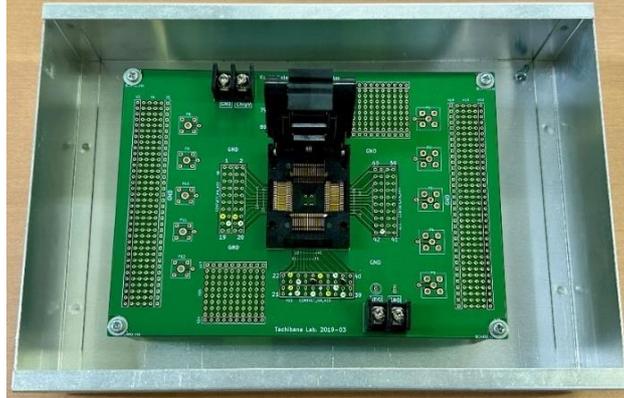


図 4.1 実測に使用した治具

## 4.2 試作回路の結果

本節では本研究で試作した BGR 回路のシミュレーション結果と実測結果を試作時期ごとに示す。それぞれの回路について電源電圧特性と温度特性ともに実測を行い、各 BGR 回路につき 10Chip をサンプルとして測定した。各特性のグラフについて、実線がシミュレーションのデータ、プロットが実測のデータを示している。

### 4.2.1 第 1 回試作 BGR 回路の測定結果

まず図 4.2, 図 4.3 に第 1 回試作回路である BGR\_K\_10 の実測結果を示す。BGR\_K\_10 における電源電圧 1.8V のときの出力電圧に関して、シミュレーションでは 1.021V に対し、実測結果では 1.009V~1.039V となった。また、出力電圧のバラツキに関してはシミュレーションを基準に 3%程度のバラツキが確認できた。温度特性に関して、シミュレーションでは 39.96ppm/°Cであったのに対し、実測では 20.17 ppm/°C~107.19ppm/°Cとなった。

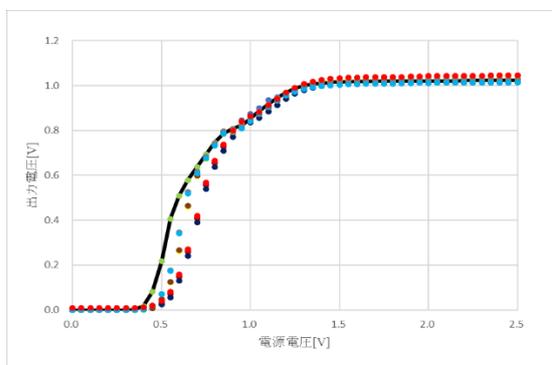


図 4.2 BGR\_K\_10 の電源電圧特性の結果

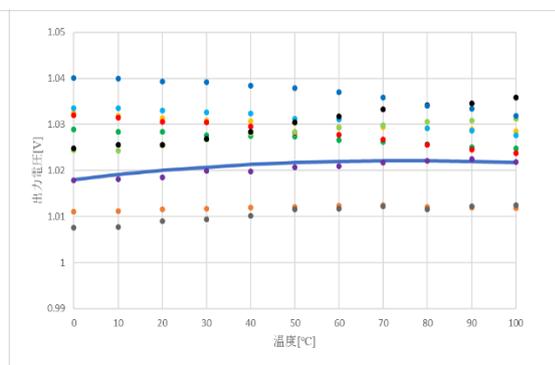


図 4.3 BGR\_K\_10 の温度特性の結果

## 4.2.2 第2回試作 BGR 回路の測定結果

次に第2回試作で設計した2種のBGR回路であるBGR\_K\_14, BGR\_K\_16についての実測結果を図4.4, 図4.5及び図4.6, 図4.7にそれぞれ示す。まずBGR\_K\_14の実測結果について述べる。BGR\_K\_14における電源電圧1.8Vのときの出力電圧に関して、シミュレーションでは0.982Vに対し、実測結果では0.968V~1.027Vとなった。また、出力電圧のバラツキに関してはシミュレーションを基準に5%程度のバラツキが確認できた。温度特性に関してはシミュレーションを基準に5%程度のバラツキが確認できた。温度特性に関して、シミュレーションでは24.91ppm/°Cであったのに対し、実測では15.21ppm/°C~138.31ppm/°Cとなった。

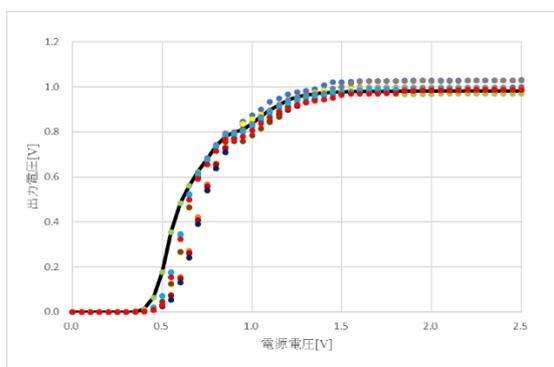


図 4.4 BGR\_K\_14 の電源電圧特性の結果

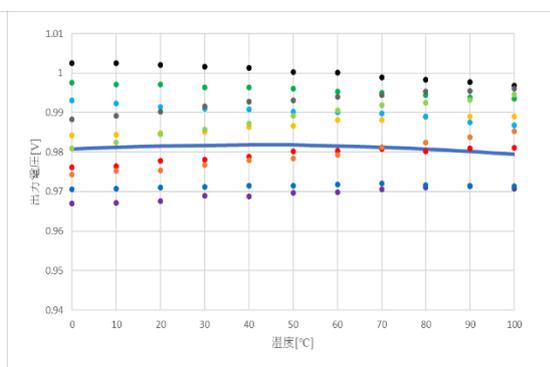


図 4.5 BGR\_K\_14 の温度特性の結果

次にBGR\_K\_16の実測結果について述べる。BGR\_K\_16における電源電圧1.8Vのときの出力電圧に関して、シミュレーションでは0.964Vに対し、実測結果では0.941V~1.018Vとなった。また、出力電圧のバラツキに関してはシミュレーションを基準に8%程度のバラツキが確認できた。温度特性に関してはシミュレーションを基準に8%程度のバラツキが確認できた。温度特性に関して、シミュレーションでは17.77ppm/°Cであったのに対し、実測では4.09ppm/°C~181.83ppm/°Cとなった。

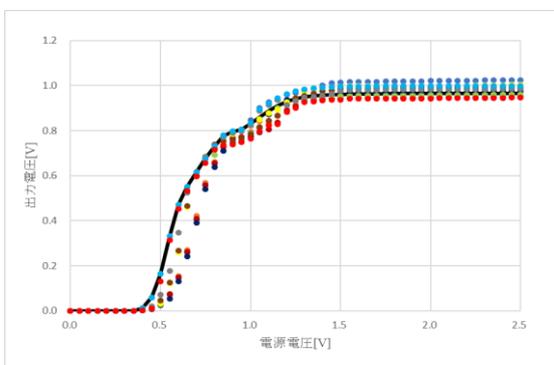


図 4.6 BGR\_K\_16 の電源電圧特性の結果

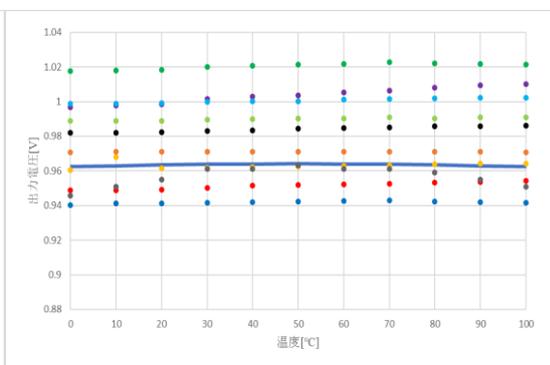


図 4.7 BGR\_K\_16 の温度特性の結果

### 4.2.3 第3回試作 BGR 回路の測定結果

最後に第3回試作で設計した BGR\_2core の実測結果について述べる。コア数が増えた回路であるが、加算後の出力電圧のみにピン立てを行い、第1回及び第2回と同様の手法でそれぞれの特性の実測を行った。図4.8、図4.9に BGR\_2core の実測結果を示す。BGR\_2core における電源電圧 1.8V のときの出力電圧に関して、シミュレーションでは 0.949V に対し、実測結果では 0.892V~0.998V となった。また、出力電圧のバラツキに関してはシミュレーションを基準に 12%程度のバラツキが確認できた。温度特性に関して、シミュレーションでは 82.33ppm/°Cであったのに対し、実測では 31.82 ppm/°C~247.66ppm/°Cとなった。

また、2コアに増やした回路の結果では1コアの BGR 回路の結果と比較して電圧の立ち上がりに必要な電源電圧が大きく、設計目標で設定した動作電源電圧範囲においても安定したほぼ一定の電圧は示さず、少しずつ上昇し続ける結果となった。

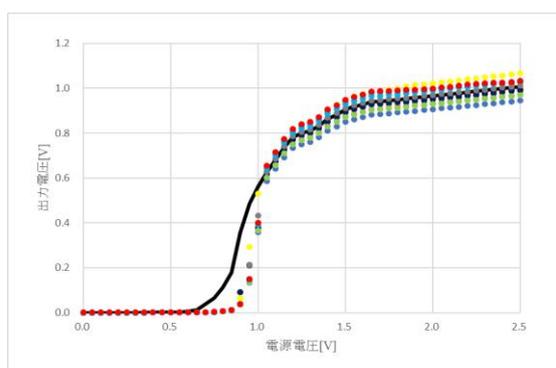


図 4.8 BGR\_2core の電源電圧特性の結果

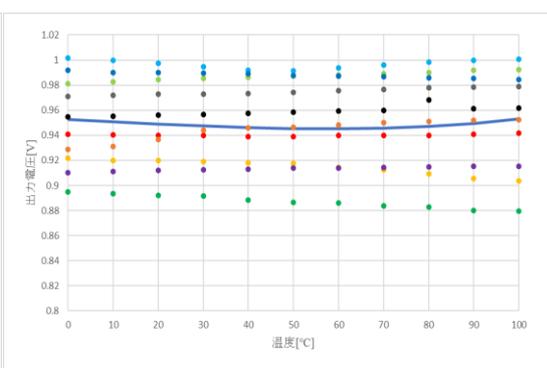


図 4.9 BGR\_2core の温度特性の結果

### 4.2.4 各試作 BGR 回路の TC 値の測定結果

各試作 BGR 回路において温度特性の実測結果から算出した Chip ごとの TC 値を表 4.2 にまとめた。並列数を変更した回路の中では最小値、最大値を示したのは BGR\_K\_16 となった。本試作で設計した回路において1コアの並列数を変更した3つの回路では、8、9チップが TC 値について設計目標を満たしたのに対して、BGR\_2core については 100ppm/°C以下となったチップはわずか4チップとなった。

表 4.2 各 BGR 回路における TC 値

	BGR_K_10	BGR_K_14	BGR_K_16	BGR_2core
Chip1	39.52	47.58	75.51	195.38
Chip2	40.71	40.71	48.33	173.09
Chip3	79.61	50.76	59.10	31.82
Chip4	20.17	111.23	4.09	247.66
Chip5	45.64	45.64	162.14	58.61
Chip6	57.22	64.63	36.21	101.23
Chip7	68.18	138.31	28.71	111.17
Chip8	107.19	57.22	44.18	136.61
Chip9	48.36	78.89	181.83	82.83
Chip10	80.09	15.21	29.94	71.97
最大値	107.19	138.31	181.83	247.66
最小値	20.17	15.21	4.09	31.82
平均値	58.669	65.018	67.004	121.037

## 第5章 考察

### 5.1 温度特性・TCのバラツキに関する考察

本研究の試作 BGR 回路はすべて式(3.13)とそれに基づく仮定に従い各素子パラメータを決定した。まず、図 4.10 に本研究の試作回路と先行研究との性能比較を示す。本研究と先行研究とも出力電圧、想定動作範囲、温度範囲は表 3.2 の設計目標と同じである。まず、先行研究[10]と比較すると、温度特性の平均値は設計目標を満たしているものの向上とは至らなかった。しかし、出力電圧バラツキに関してはすべての試作回路において改善できているため、数式に基づいた各素子パラメータ設定によりオフセット電圧の抑制ができ、バラツキ改善につながったと考える。次に先行研究[11]と比較すると、温度特性については向上できたがバラツキに関しては2コア BGR 回路のみが悪化している結果となったが、これはやはり回路面積の変化と加算回路部分に改善の余地があることを表していると考えられる。

	本研究(K=10)	本研究(K=14)	本研究(K=16)	本研究(2core)	先行研究[10]	先行研究[11]
出力電圧	1.00V	1.00V	1.00V	1.00V	1.00V	1.00V
動作範囲	1.6V-2.5V	1.6V-2.5V	1.6V-2.5V	1.6V-2.5V	1.6V-2.5V	1.6V-2.5V
温度範囲	0°C-100°C	0°C-100°C	0°C-100°C	0°C-100°C	0°C-100°C	0°C-100°C
出力電圧バラツキ	3%	5%	8%	12%	18%	10%
温度係数TC(平均値)	58.669	65.018	67.004	121.037	55.79	130.41

図 4.10 本試作回路と先行研究の BGR 回路の比較

本研究では設計時にはオフセット電圧を 10mV で想定して設計を行ったが、第 1 回試作回路の出力電圧のバラツキについて着目すると、シミュレーション波形よりも大きい出力電圧を得られた Chip のうち負の温度特性となっている回路の割合が多いことから、想定した 10mV よりも大きい値がオフセット電圧として生じている可能性が考えられる。また、第 2 回試作回路のうち BGR\_K\_14 において負の温度特性の出力電圧を示した Chip は 3Chip であり、BGR\_K\_16 においては 1Chip であることから PTAT 電圧を大きくすることによって回路全体の出力電圧において相対的にオフセット電圧の影響を抑えることができていると考える。したがって、オフセット電圧の抑制という観点で考えるとダイオードの並列数 K を大きくするという変更は適切な手法であったと考えた。しかし、ダイオードの並列数に比例して回路面積が大きくなっていることにより、Chip 間の出力電圧のバラツキが大きくなっている。そのためバラツキを抑制するという観点においては、面積が小さくなるように並列数は小さくする手法が優れていると考えられる。したがって、温度特性を向上させつつバラツキに関しても改善を考える場合には、ダイオードの並列数を少し大きくし、同時に発生する出力電圧をキャリブレーション回路等で調節するといった手法が適しているとも考えら

れる。今後考えられる BGR 回路の特性向上の手法としては、出力電圧を  $0.8V$  といった、より小さい出力をもつ回路が考えられる。全体の出力電圧が小さくなることでその中に含まれるオフセット電圧の影響も相対的に小さくなると考えられるためである。また、本研究の結果から確認できたように回路の面積が大きくなると、出力電圧のバラツキも大きくなった。そのため回路設計の際には、面積をできるだけ小さくする工夫が必要であり、回路を Chip 中心付近に可能な限り近づけるなどといったプロセスバラツキを低減するための設計アプローチによって、さらなる特性向上が見込める。

## 5.2 2 コア BGR 回路に関する考察

本研究で試作した 2 コア BGR 回路はそれぞれのコアで PTAT 電圧、CTAT 電圧となるように設計した回路を加算部で合成して出力電圧を得られるように設計を行った。しかし結果としては出力電圧のバラツキ、温度特性ともに先行研究と比較して改善はみられなかった。改善がみられなかった理由としては、やはりそれぞれの電圧合成部分である加算回路が原因だと考える。先行研究や本研究の並列数を変更した BGR 回路と比較すると、本研究の 2 コア BGR 回路は図 4.8 の電源電圧特性において立ち上がりの電圧がかなり大きく  $0.7V\sim 0.8V$  付近となっている点や動作電源範囲  $1.6V\sim 2.5V$  において出力電圧がほぼ一定の安定した電圧ではなく、上昇し続けている点から合成部分において適切な加算ができていないと考える。出力電圧の立ち上がりに必要な電圧が大きくなっているということはスタートアップ回路が適切な動作をしていない可能性もあるため、同様の回路を使用する場合には、それぞれのコア回路において BGR 回路としての出力電圧が得られているかを確認する必要がある。本研究ではコア回路からカレントミラーで直接抵抗につなげているため、まずは電流の流入の調整素子を加える必要があると考える。そこで、今後考えられる 2 コア BGR 回路の特性向上が考えられる回路構成を図 4.11 に示す。式(3.16)からわかるように回路の出力電圧に直接影響しない抵抗  $R_3$ 、 $R_6$  について回路面積を小さくする目的で取り除き、電流を調整するためにトランジスタを配置した回路となっている。

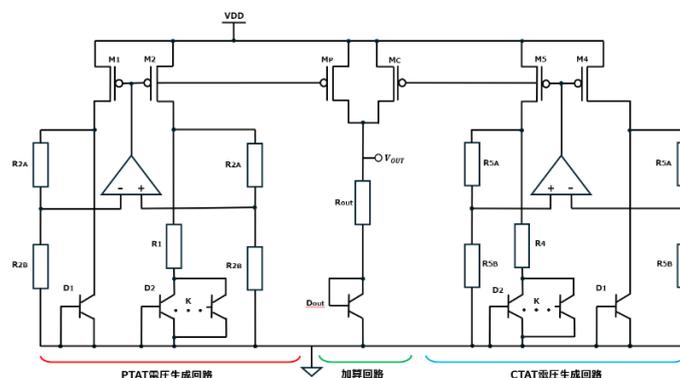


図 4.11 高次温度補償 2 コア BGR 回路[18]

## 第6章 結論・まとめ

多くの電子機器が安定した動作をするために必要な電源回路に用いられる代表的なアナログ回路である基準電圧回路は電源電圧や環境温度に依存しない高い精度が求められる。

本研究では基準電圧回路の一種である BGR 回路を研究対象として温度依存性の低い回路の設計を目的として回路の試作及び試作 Chip の測定を行い、各特性評価を行った。温度特性の高い設計手法として回路内のダイオードの並列数の変更、2 コアの回路を新たに提案し、回路を 4 種類設計した。並列数を大きくすると回路の面積が大きくなるため出力電圧のバラツキは大きくなったものの、正の温度係数をもつ電圧の割合を大きくすることができた。そのため結果として、回路の出力電圧に影響の大きいオフセット電圧の相対的な抑制ができた。オフセット電圧の抑制に伴い、温度特性についても先行研究[11]からは改善がみられた。一方で 2 コア BGR 回路については、出力電圧のバラツキ、温度特性のそれぞれについて設計目標を満たした回路を設計することができなかった。カレントミラーからの電流の流入を適切に制御するなど、

したがって、今後考えられる BGR 回路の特性向上のための設計手法として、1 コアの BGR では出力電圧をこれまで試作していた 1.00V よりも小さい回路の設計、2 コアの BGR 回路では加算部分の回路の見直しが必要であるという結論に達した。

また、バラツキの抑制と回路面積の大きさはトレードオフの関係にあることを改めて確認した。そのため今後の設計においては本研究でも行ったようなレイアウトにおける対称性の維持や Chip の中心部に回路を配置するなどの設計アプローチをこれまで以上に徹底する必要がある。

## 謝辞

本研究を進めるにあたって、たくさんのご指導とご助力を賜りました。主指導教官をしていただいた高知工科大学電子・光工学コースの橘昌良教授にはご指導ご鞭撻を賜り深く感謝申し上げます。副査を引き受けてくださった高知工科大学電子・光工学コースの密山幸男教授，廖望講師をはじめとした教職員の方々にも心から感謝いたします。また，温度特性の測定に使用した小型環境試験機 SH-241 を快くお貸しいただいた高知工科大学山本真行教授には大変感謝いたします。最後に橘研究室及び密山研究室，廖研究室の皆様には，研究に関する討論やご協力，その他雑談などで大変お世話になりました。心よりお礼申し上げます。

本研究は東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社，シノプシス株式会社及びメンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム株式会社及びTOPPAN ホールディングス株式会社の協力で行われたものである。

## 参考文献

- [1] M.A. Sobhan Bhuiyan, M.R. Hossain, et al. “CMOS Low-Drop Voltage Regulator Design Trends: An Overview,” *Electronics*, Vol.11, No2, Jan. 2022.
- [2] L.L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin. “Analog Circuit Design in Nanoscale CMOS Technologies”, *Proc. IEEE*, Vol.97, No.10, pp.1687-1714, Oct. 2009.
- [3] J. Shor, “Compact Thermal Sensors for Dense CPU Thermal Monitoring and Regulation: A Review,” *IEEE Sensors Journal*, Vol.21, No.11, pp.12774-12788, Jun. 2021.
- [4] H. -S. Lee, C. G. Sodini, “Analog-to-Digital Converters: Digitizing the Analog World,” *Proc. IEEE*, Vol.96, No.2, pp.323-334, Feb. 2008.
- [5] 谷口研二, CMOS アナログ回路入門, 西野直樹 (編), CQ 出版株式会社, 東京, 2003.
- [6] S. Chakraborty, A. Mallik, C. K. Sarkar, and V. R. Rao. “Impact of Halo Doping on the Subthreshold Performance of Deep-Submicrometer CMOS Devices and Circuits for Ultralow Power Analog/Mixed Signal Applications,” *IEEE Transaction on Electron Devices*, Vol.54, No.2, pp.241-248, Feb. 2007.
- [7] G. G. E. Gielen, R. A. Rutenbar, “Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits,” *Proc. IEEE*, Vol.88, No.12, pp.1825-1854, Dec. 2000.
- [8] Razavi. B, “Design of Analog CMOS Integrated Circuit” McGraw-Hill, 2001.
- [9] 吉田晴彦, CMOS アナログ IC 回路の実務設計, 蒲生良治(編), CQ 出版株式会社, 東京, 2010.
- [10] 増田梓月, “バンドギャップ基準電源回路のための素子バラツキの抑制を目的とした設計手法”, 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2021.
- [11] 林竜史, “バンドギャップ基準電源回路の素子バラツキを抑制するための回路の検討”, 高知工科大学システム工学群電子・光専攻, 卒業研究報告書, 2022
- [12] 佐竹宏太, “基準電源回路の設計と評価”, 高知工科大学システム工学群電子光工学専攻, 卒業研究報告書, 2016.
- [13] 武内智哉, “MOSFET 対をコモンセントロイド化した BGR 回路”, 高知工科大学システム工学群電子光工学専攻, 卒業報告書, 2017.
- [14] 山田健太, “2 段オペアンプを用いたバンドギャップリファレンスの設計と評価”, 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2016.
- [15] 筒井悠弥, 橘昌良, “BGR 回路における素子温度特性評価チップの開発”, 高知工科大学システム工学群電子・光工学専攻, 卒業研究報告書, 2020
- [16] 猪岡柚香, “バンドギャップ基準電源回路を対象とした BIST 手法に関する研究”, 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2020
- [17] 林竜史, “プロセスばらつきを考慮したキャリブレーション回路搭載バンドギャップリファレンスの設計アプローチ”, 高知工科大学工学研究科基盤工学専攻電子・光工学コース, 修士論文, 2024

- [18] Chi-Wah Kok, Wing-Shan Tam, “CMOS Voltage Reference An Analytical and Practical Perspective”, WILEY, 2013.
- [19] K. N. Leung, and P. K. Mok, “A Sub-1-V 15ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device,” IEEE J. Solid-State Circuits, Vol.37, No.4, pp.526-530, Apr. 2002.
- [20] 吉澤浩和, CMOSOP アンプ回路実務設計の基礎, 蒲生良治 (編), CQ 出版株式会社, 東京, 2007