

修士論文

2 段 MASH 構成による $\Delta \Sigma$ 変調器の低歪化設計

Design of Low-Distortion Two-Stage MASH $\Delta \Sigma$ Modulator

報告者

学籍番号: 1275055

氏名: 平井 幸弥

指導教員

橘 昌良

令和 7 年 2 月 18 日

高知工科大学大学院工学研究科

基盤工学専攻電子・光工学コース

目次

第 1 章	序論.....	1
1.1	研究背景.....	1
1.2	研究目的.....	1
1.3	本論文の構成.....	1
第 2 章	$\Delta\Sigma$ 型 AD 変換器.....	2
2.1	$\Delta\Sigma$ 変調概要.....	2
2.2	オーバーサンプリング.....	2
2.3	ノイズシェイピング.....	3
2.4	性能指標.....	4
第 3 章	システムレベル設計.....	5
3.1	ループフィルタ.....	5
3.2	MASH 変調器.....	5
3.3	連続時間(CT)型 $\Delta\Sigma$ 変調器.....	6
3.3.1	シングルループの変調器における DT-CT 変換.....	7
3.3.2	MASH 変調器における DT-CT 変換.....	8
3.4	MASH 変調器におけるデジタルフィルタのキャリブレーション.....	9
3.5	CT $\Delta\Sigma$ 変調器の非理想性.....	10
3.5.1	積分器.....	10
3.5.2	量子化器と DAC.....	12
第 4 章	トランジスタレベル設計.....	13
4.1	OTA.....	13
4.1.1	CMFB.....	16
4.1.2	電流源・バイアス回路.....	16
4.2	量子化器.....	17
4.3	DAC.....	19
第 5 章	2-2 MASH の設計と実測による評価.....	20
5.1	回路図.....	20
5.2	レイアウト.....	21
5.3	実測.....	22
第 6 章	2-2 FIR-MASH の設計とシミュレーションによる評価.....	23
6.1	FIR フィードバック.....	23
6.2	シングルループにおける FIR-DAC の実装.....	24
6.3	MASH 変調器における FIR-DAC の実装.....	25
6.4	シミュレーション結果.....	28
第 7 章	まとめ.....	30
	謝辞.....	31
	参考文献.....	32

付録.....	34
A 性能評価における設定項目	34
A-1 Simulink のソルバー設定	34
A-2 ソースコード	35

第1章 序論

1.1 研究背景

デジタル回路では高速で正確に動作するシステムが実現できるため、信号処理においてもほとんどがデジタル領域で実行される。年々デジタル集積回路の高速化と集積化が進んでいる一方で、物理的な領域では相変わらずアナログであるため、アナログ的な情報と、デジタル信号処理装置(DSP)とのインターフェイスが必要である。デジタル集積回路の高速化や低電圧化に伴い、アナログ-デジタル(AD)変換器に対しても同等の速度と解像度に対する需要が増加している。

本研究では、AD 変換器の 1 種であるデルタシグマ変調器($\Delta\Sigma$)を扱う。 $\Delta\Sigma$ はオーバーサンプリングとノイズシェーピングにより量子化ノイズを信号帯域外へと遷移させ、SNR を高めることができる。

$\Delta\Sigma$ には離散時間型(DT)と連続時間型(CT)がある。本研究では CT 型を扱う。利点としては、増幅器の動作速度が変調器のサンプリング周波数に対するセトリング時間の厳しい制限を与えないため、DT 型よりも高速にサンプリングができること、固有のアンチエイリアシング特性により変調器の入力にアンチエイリアスフィルタが不要であることなどが挙げられる。これらの理由により、CT 型は DT 型と比較してより良い電力効率と高いサンプリング周波数を達成できる。

しかし、CT 型特有の欠点も存在する。クロックジッタや遅延、アナログ回路部のプロセス変動などの非理想性の影響により信号対雑音比(SNR)が劣化しやすいことである [1, 2, 3]。

1.2 研究目的

本研究の目的は Rohm0.18 μ m プロセス(電源電圧 1.8[V])を使用して、オーディオ向け 1bit CT $\Delta\Sigma$ を設計することである。その過程で CT $\Delta\Sigma$ の設計法と非理想性を補償するための技術を検証し、実測とシミュレーションにより有効性を評価した。なお、 $\Delta\Sigma$ の設計要件はオーディオフォーマット [4]に従い、以下の様に定めた。

- 帯域幅 f_B : 24[kHz]
- 分解能 : 16bit(SNR:98[dB])
- サンプリング周波数 f_s : 3.072[MHz](OSR:64)

本研究では、システムレベル設計及び性能評価のために MathWorks 社の MATLAB と Simulink を使用した。トランジスタレベル設計と RC 抽出には Cadence 社の Virtuoso, Quantus QRC を使用した。回路シミュレータと波形ビューワには Synopsys 社の HSPICE, CosmosScope, Custom WaveView を使用した。

1.3 本論文の構成

本論文は全6章で構成されている。本章では研究の背景と目的について述べている。第2章では $\Delta\Sigma$ の理論的な背景と性能指標について説明する、第3章では提案した $\Delta\Sigma$ のシステムレベル設計手法とトランジスタレベル実装で問題となる非理想性の検証について説明し、第4章では前章の内容を踏まえて、 $\Delta\Sigma$ の要素回路についてトランジスタレベル設計を行う。第5章では提案した $\Delta\Sigma$ の設計、試作チップへの実装と実測について述べ、第6章では前章で設計した $\Delta\Sigma$ に FIR フィードバックを導入し、シミュレーションによって有効性を評価する。第7章は本論文のまとめである。

第2章 $\Delta\Sigma$ 型 AD 変換器

2.1 $\Delta\Sigma$ 変調概要

$\Delta\Sigma$ は図 2-1 に示すように、積分器、量子化器、DAC、デシメーションフィルタからなる。他の AD 変換器と比較して異なる点は、積分器と量子化器で閉ループを構成している所にある。フィードバック系の特性として、ループ内部に高利得のフィルタを配置することで、変調器入力と量子化器で入力される外乱(量子化雑音)に対する異なる伝達関数を得るとともに、変調器出力の入力に対する追従性と、外乱(量子化雑音)の低減が実現できる [2]。

入力信号に対する伝達関数を信号伝達関数(STF)、量子化雑音に対する伝達関数を雑音伝達関数(NTF)と呼ぶ。両者の設計目標は入力信号成分をそのまま通しつつ、帯域内量子化雑音を最小化することである。従って、STF は利得がおおよそ 1 となるように設計し、NTF は n 次のハイパスフィルタとなるように設計する。 n は積分器の個数と対応している。この雑音に対するハイパスフィルタとしての特性をノイズシェイピングと呼ぶ。

量子化器のサンプリング周波数はナイキスト周波数よりも高く設定される。これをオーバーサンプリングと呼び、オーバーサンプリング比(OSR)という指標で表す。OSR が大きいほど量子化雑音をより広い周波数帯域に分散させることができる。また、ローパスフィルタとダウンサンプラからなるデシメーションフィルタによって、帯域外雑音の除去とサンプリング周波数の調整が可能である。

$\Delta\Sigma$ は、主に上記のノイズシェイピングとオーバーサンプリングの 2 つの手法によって、他の AD 変換方式と比較して高い SNR が達成できる。

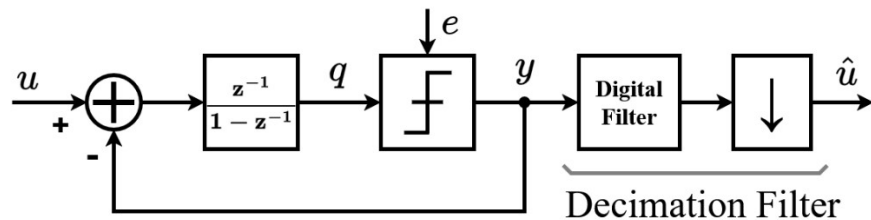


図 2-1 1 次 $\Delta\Sigma$ 変調器のシステムモデル

2.2 オーバーサンプリング

ナイキストの定理より、入力信号の 2 倍以上のサンプリング周波数を取れば、元信号を再構築することができる。また、 $\Delta\Sigma$ においては、外部フィルタ設計要件の緩和、SNR の向上などの点で OSR を大きくすると有利である。

図 2-2 で示すように、入力信号が帯域制限信号であるとし、サンプリングしたのち離散時間フーリエ変換した場合のスペクトルを考える。 ω は正規化角周波数であり、サンプリングされた信号のスペクトルはサンプリング角周波数 2π 毎に同様の形状が繰り返される周期的なスペクトルとなる。サンプリング周期を小さく (OSR を高く) するほど、スペクトルの間隔は粗くなる。入力信号は $[-\pi/\text{OSR}, \pi/\text{OSR}]$ の周波数帯域を持ち、量子化雑音が白色雑音であるとするならば、雑音は $[-\pi, \pi]$ にわたって一定に広がる。OSR を高くすることで入力信号帯域内の雑音電力は小さくなり、出力側でフィルタによる除去を行えば、帯域内雑音電力は OSR 分の 1 に低減できる [1]。

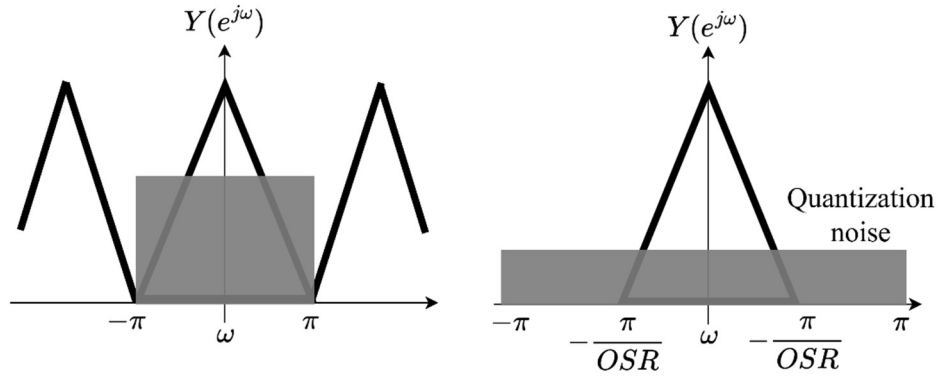


図 2-2 オーバーサンプリングの模式図

2.3 ノイズシェイピング

図 2-1 に示す $\Delta\Sigma\text{M}$ のシステムモデルを解析すると,

$$Y(z) = \text{STF}(z)U(z) + \text{NTF}(z)E(z) = z^{-1}U(z) + (1 - z^{-1})E(z) \quad (2.1)$$

となる. STF は 1 サンプルの遅延, NTF は 1 次のハイパス特性を示す. STF と NTF の周波数特性より, 帯域内において, 入力信号は影響を受けず, 雑音は低減される. このように, $\Delta\Sigma\text{M}$ のノイズシェイピング特性は, ループフィルタ(量子化器直前の積分器で構成されるフィルタ部分)によって帯域内雑音を帯域外に遷移させることに基づいている.

また, u から q までのループフィルタの伝達関数を L_0 , y から q までのループフィルタの伝達関数を L_1 とおくと,

$$\text{STF}(z) = \frac{L_0(z)}{1 + L_1(z)} = L_0(z)\text{NTF}(z), \quad \text{NTF}(z) = \frac{1}{1 + L_1(z)} \quad (2.2)$$

NTF 特性を決めるのは L_1 であること, L_1 の利得を大きくして NTF を小さくすれば量子化雑音を低減できることが示されている. そこで高 SNR 化のため, 積分器を増やし L_1 の次数を高めることで, 図 2-3 の様に急峻なノイズシェイピング(より高次の NTF)特性を持たせることも可能である. しかし, 帯域外利得の増加によりループの安定性とのトレードオフの問題が生じる.

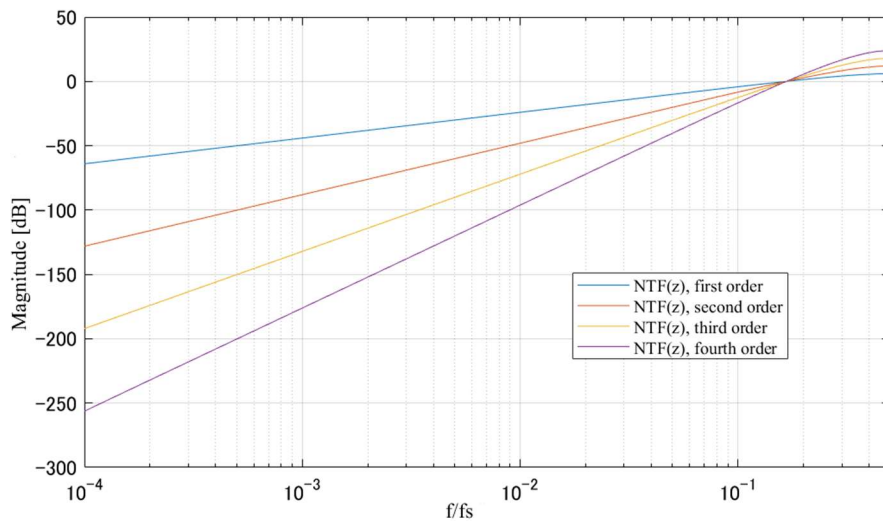


図 2-3 1 次から 4 次までの NTF の周波数特性

2.4 性能指標

$\Delta\Sigma$ の性能はノイズシェイピング形状や SNR など周波数領域での解析が求められるため、スペクトル解析が必須となる。一般的に使用されるのは離散フーリエ変換であり、FFT ツールとして使用できる MATLAB 関数が存在する。

$\Delta\Sigma$ 出力を FFT にかけるとき、サンプル数の時刻分、出力信号列の一部を切り取ることになる。これは $\Delta\Sigma$ 出力に矩形窓を掛けることと同義である。矩形窓は両端が不連続で高周波成分が大きくサイドローブの減衰が不十分であるため、高周波雑音が帯域内に表れる現象(雑音リーク)が生じやすく、SNR 等の正確な測定には不向きである [1, 5]。本研究では Hann 窓を使用した。Hann 窓は両端が連続的であり、サイドローブが際限なく減衰する。

信号リークにも注意する必要がある。 $\Delta\Sigma$ のテスト入力に用いる正弦波の周波数は、信号成分が周辺の周波数領域に広がらないように FFT ビンに正確に合わせる。本研究では SNR を測定する際には、サンプル数を 4096 とし、入力信号の周波数は $27/4096(20.25[\text{kHz}])$ に合わせた。

以下に設計に用いる性能指標を示す。

- 信号対雑音比(SNR) : $\Delta\Sigma$ に任意の入力振幅を与えた際の、出力に含まれる信号と雑音の電力比率である。図 2-4 の様に入力振幅を掃引した時の最大 SNR について議論される。SNR 測定の際には、帯域内に高調波歪が表れないように入力周波数は $f_{sig} > f_B/2$ とする。
- 最大安定振幅(MSA)または過負荷レベル(OL) : $\Delta\Sigma$ が安定動作する最大入力振幅。ランブ波形入力により調査する方法もあるが [1]、一般的に SNR が最大 SNR より 6[dB]低下するまでを $\Delta\Sigma$ の安定状態とみなす [2, 6]。
- ダイナミックレンジ(DR) : MSA の入力信号と最小の検出可能な入力信号の電力比率。
- 帯域内雑音(IBN) : 入力信号を除く帯域内の雑音電力を表す。入力振幅を小さく設定して入力信号の影響を排除し、 $\Delta\Sigma$ のアーキテクチャや回路の非理想性が帯域内雑音に与える影響の調べるために使用する。
- 有効ビット数(ENOB) : ビット数で指定される ADC の実効分解能。正弦波入力を仮定すると、

$$\text{ENOB} = \frac{\text{SNR} - 1.76}{6.02} \quad (2.3)$$

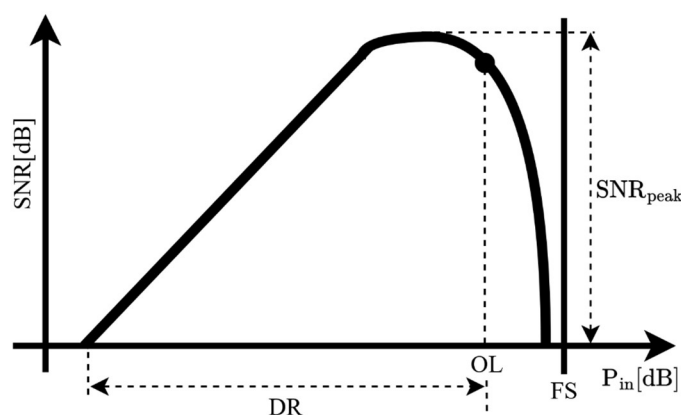


図 2-4 入力振幅対 SNR

実現できる。複数段に縦続接続した低次変調器で構成され、各段の変調器は前段の変調器の量子化雑音が入力される。各段のデジタル出力をフィルタリングすることで、最下段以外の量子化雑音を打ち消すように設計する。

本研究では、図 3-2 の様に Silva-Steensgaard 変調器を 2 段接続し、初段の 2 つ目の積分器から取り出した量子化雑音を 2 段目に入力する構成とした。 $I(z) = z^{-1}/(1 - z^{-1})$ と置きこの変調器を解析すると、

$$X(z) = a_1 b_1 I(z)^2 \{U(z) - Y_1(z)\} = -a_1 b_1 z^{-2} E_1(z) \quad (3.2)$$

x からはスケーリングされた量子化雑音が抽出できることが示されている。各段の出力は、

$$\begin{aligned} Y_1(z) &= STF_1(z)U(z) + NTF_1(z)E_1(z) \\ Y_2(z) &= STF_2(z)X(z) + NTF_2(z)E_2(z) \\ V(z) &= DF_1(z)Y_1(z) + DF_2(z)Y_2(z) \end{aligned} \quad (3.3)$$

となる。 $STF_1(z) = STF_2(z) = 1$, $NTF_1(z) = NTF_2(z) = (1 - z^{-1})^2$ であるため、

$$Y(z) = DF_1(z)U(z) + \{DF_1(z)NTF_1(z) - z^{-2}a_1 b_1 DF_2(z)\}E_1(z) + DF_2(z)NTF_2(z)E_2(z) \quad (3.4)$$

ここで、 $DF_1(z) = z^{-2}$, $DF_2(z) = (1/a_1 b_1)NTF_1(z)$ に設定すれば、 $E_1(z)$ を消去できる。

$$Y(z) = z^{-2}U(z) + \frac{1}{a_1 b_1} (1 - z^{-1})^4 E_2(z) \quad (3.5)$$

E_2 には 4 次のノイズシェイピングがかかることになるが、安定性に関しては各段の変調器に依存するため、2 次変調器の安定性が得られる。

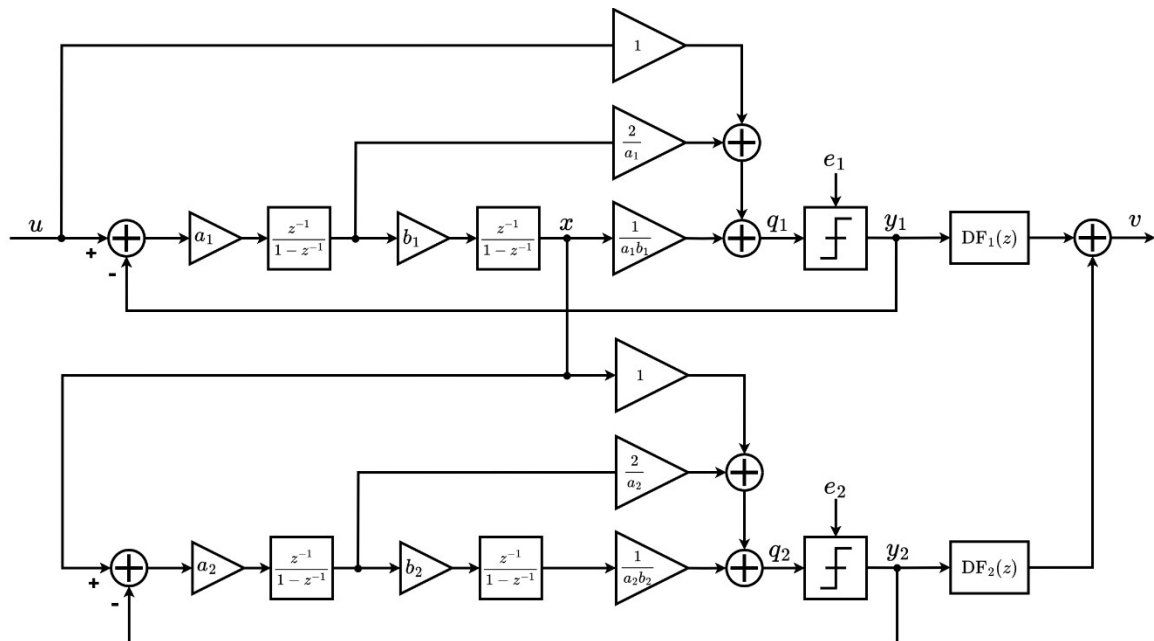


図 3-2 設計した DT 型の MASH 変調器

3.3 連続時間(CT)型 $\Delta\Sigma$ 変調器

DT $\Delta\Sigma$ M と CT $\Delta\Sigma$ M の主な違いはサンプリングの位置である。S/H 回路は、DT の場合変調器入力側に置かれるが、CT ではループ内部に配置される。そのため、CT では S/H 過程で発生するほとんどの非理想性は量子化雑音とともにノイズシェイピングされる。また、この S/H がループ内で行われる構造により STF がアンチエイリアスフィルタ(AAF)特性を持つため、AAF の設計要件が緩和されるかあるいは不要となる。DT $\Delta\Sigma$ M で実装される積分器はスイッチトキャパシタ積分器であり、入出力は急峻に変

化するパルス信号である．そのため，OTA の帯域幅や電荷転送の時定数によりサンプリング周波数は制限される．対照的に，CT の積分器は連続波形を扱うため，OTA の設計要件が緩和される [1]．

3.3.1 シングルループの変調器における DT-CT 変換

CT Δ ΣM はアナログとデジタルの領域が混在する回路なため，解析が複雑になる．そこで，CT Δ ΣM を設計する際には，所望の NTF をもつ DT プロトタイプ的设计から始め，DT プロトタイプと等価な NTF をもつ CT に変換する方法が取られる．DT-CT 変換には図 3-3 で示すインパルス不変変換(IIT)が主に使用される．NTF は y から q までのループフィルタ L_1 によって定まる．従って，量子化器の両端でループを開き，変調器出力端からインパルス信号を与えたとき，量子化器入力端でサンプリングされるインパルス応答が等しくなるように設計すれば，NTF の等価性を達成できる [1, 2]．

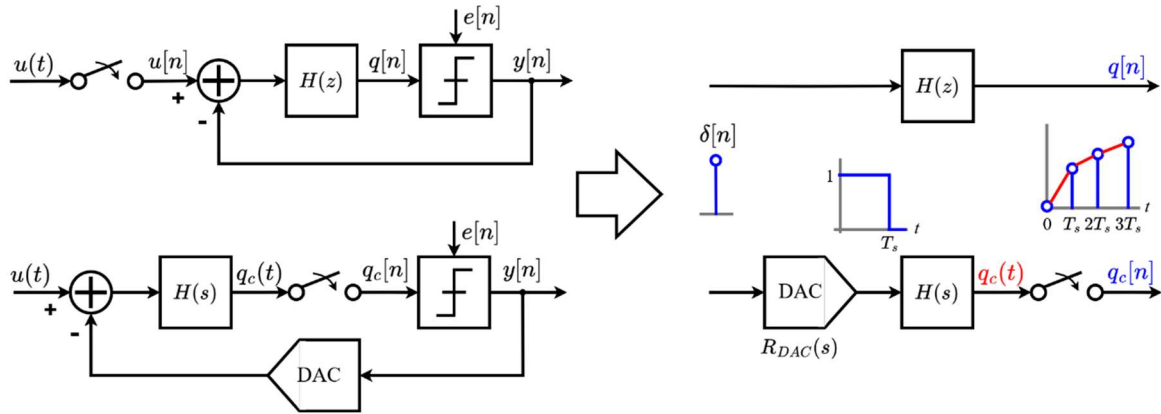


図 3-3 DT-CT 変換の模式図

なお，システムレベル設計段階ではサンプリング周波数は 1[Hz]に規格化して考え，トランジスタレベル設計での回路実装段階で積分器利得を f_s 倍して周波数スケールする方法をとった．DT-CT 変換の際，DAC 伝達関数の情報が必要になる．主に矩形 DAC パルスが使用され， z 領域の離散積分から s 領域への変換結果についても調査されており，表 3-1 にまとめて示す [9, 10]．

表 3-1 矩形 DAC パルスに対する DT 積分器から等価な CT 伝達関数への変換表

z-domain	s-domain equivalent ($f_s = 1[\text{Hz}]$)
$\frac{1}{(z-1)}$	$\frac{r_0}{s} \quad r_0 = \frac{1}{\beta - \alpha}$
$\frac{1}{(z-1)^2}$	$\frac{r_1 s + r_0}{s^2} \quad r_1 = \frac{1}{2} \frac{\alpha + \beta - 2}{\beta - \alpha}$
$\frac{1}{(z-1)^3}$	$\frac{r_2 s^2 + r_1 s + r_0}{s^3} \quad r_1 = \frac{1}{2} \frac{\alpha + \beta - 3}{\beta - \alpha}$ $r_2 = \frac{1}{12} \frac{\beta(\beta - 9) + \alpha(\alpha - 9) + 4\alpha\beta + 12}{\beta - \alpha}$
$\frac{1}{(z-1)^4}$	$\frac{r_3 s^3 + r_2 s^2 + r_1 s + r_0}{s^4} \quad r_1 = \frac{1}{2} \frac{\alpha + \beta - 4}{\beta - \alpha}$ $r_2 = \frac{1}{12} \frac{(\beta - \alpha)^2 + 2\beta\alpha - 12(\beta + \alpha) + 22}{\beta - \alpha}$ $r_3 = \frac{1}{12} \frac{\beta^2(\alpha - 2) + \alpha^2(\beta - 2) - 8\alpha\beta + 11(\beta + \alpha) - 12}{\beta - \alpha}$

3.3.2 MASH 変調器における DT-CT 変換

DT 型の MASH を図 3-4 の様に CT 型に変換する際、いくつかの問題が生じる。デジタルフィルタと適合するように変調器を CT に変換する必要があること。CT 変調器とデジタルフィルタの伝達関数の誤差により量子化雑音の消去が正しく動作せず、場合によっては 1 段分の SNR にまで性能が低下することなどが挙げられる。そこで、シングルループの変調器における DT-CT 変換を、MASH 変調器にも適用するため、各段の変調器出力 y_i に対してインパルス応答が DT プロトタイプと一致するように行われる [2]。シングルループでは、DT-CT 変換の際、変調器出力と量子化器入力間の伝達関数を考えた。MASH のようなマルチループの場合、各段との接続関係も考慮する必要があるため、前段の変調器出力と次段の量子化器入力間での伝達関数を追加で立てるとシングルループと同様に変換できる。

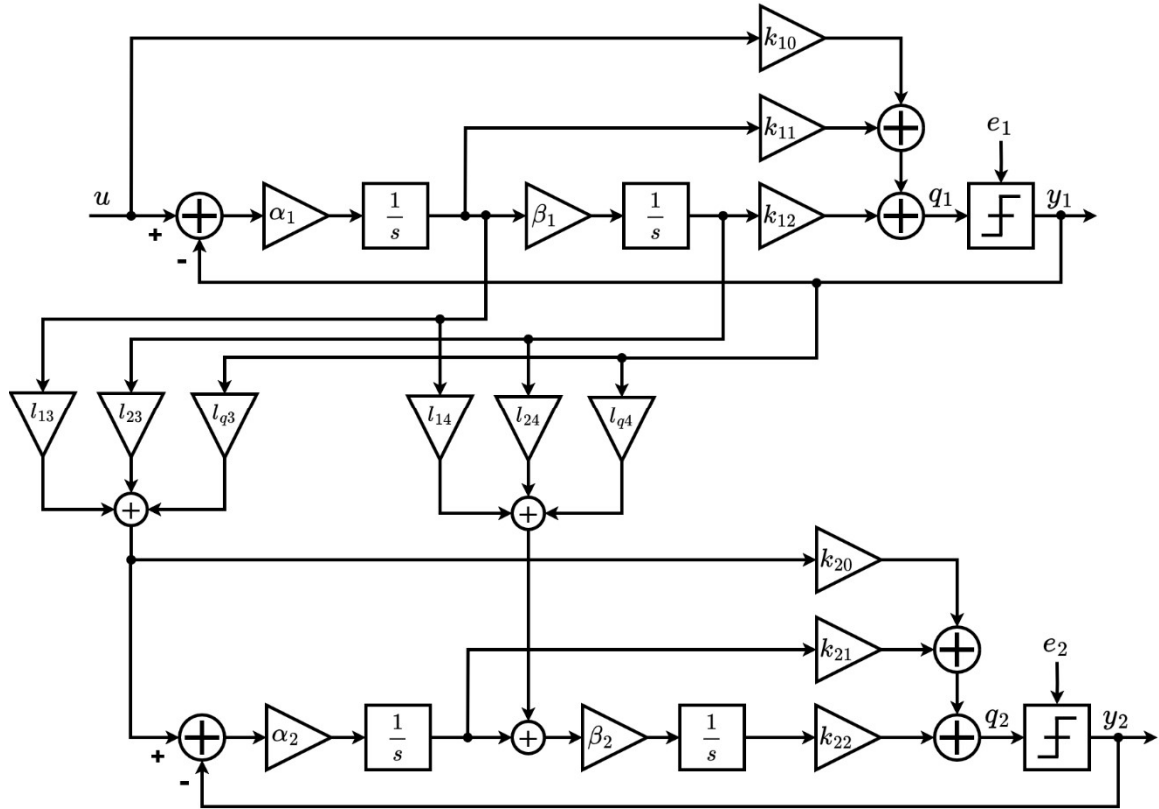


図 3-4 設計した CT 型の MASH 変調器

図 3-2 で示す DT 型 MASH 変調器のループフィルタの伝達関数を解析すると、

$$\begin{aligned} \text{LF}_1(z)|_{\text{DT}} &= \frac{q_1}{y_1} = -I(z)^2 - 2I(z) \\ \text{LF}_2(z)|_{\text{DT}} &= \frac{q_2}{y_2} = -I(z)^2 - 2I(z) \end{aligned} \quad (3.6)$$

$$\text{LF}_{12}(z)|_{\text{DT}} = \frac{q_2}{y_1} = \frac{x_2}{y_1} \frac{q_2}{x_2} = -a_1 b_1 I(z)^2 \{I(z)^2 + 2I(z) + 1\} = -a_1 b_1 \{I(z)^4 + I(z)^3 + I(z)^2\}$$

NRZ DAC を仮定し ($\alpha = 0, \beta = 1$)、変換表(表 3-1)を使って離散時間積分 $I(z)$ を置き換えると、

$$\begin{aligned} \text{LF}_1(s)|_{\text{DT-CT}} &= -I(s)^2 - 1.5I(s) \\ \text{LF}_2(s)|_{\text{DT-CT}} &= -I(s)^2 - 1.5I(s) \\ \text{LF}_{12}(s)|_{\text{DT-CT}} &= -a_1 b_1 \{I(s)^4 + 0.5I(s)^3 - 0.083I(s)^2 - 0.083I(s)\} \end{aligned} \quad (3.7)$$

$I(s) = 1/s$ としている。変換を進めていく上で、シングルループと同様に離散時間積分器を連続時間積分器に置き換えるだけでは達成できないことが分かった。そこで、CT のみ各段の接続経路の拡張を行った。図 3-4 で示す CT 型 MASH 変調器を解析すると、

$$\begin{aligned}
 LF_1(s)|_{CT} &= -\alpha_1\beta_1k_{12}I(s)^2 - \alpha_1k_{11}I(s) \\
 LF_2(s)|_{CT} &= -\alpha_2\beta_2k_{22}I(s)^2 - \alpha_2k_{21}I(s) \\
 LF_{12}(s)|_{CT} &= -\alpha_1\alpha_2\beta_1\beta_2k_{22}l_{23}I(s)^4 - (\alpha_1\alpha_2\beta_2k_{22}l_{13} + \alpha_1\alpha_2\beta_1k_{21}l_{23})I(s)^3 \\
 &\quad - (\alpha_1\alpha_2k_{21}l_{13} + \alpha_1\beta_2k_{22}l_{14} + \alpha_1\beta_1k_{20}l_{23})I(s)^2 - (-\beta_2k_{22}l_{q4} + \alpha_1k_{20}l_{13})I(s)
 \end{aligned} \tag{3.8}$$

式(3.7)と式(3.8)を比較し係数を決定すれば、量子化器出力 y_1 に関して、CT と DT プロトタイプとの等価性が達成される。また、デジタルフィルタは DT プロトタイプのを流用できる。

3.4 MASH 変調器におけるデジタルフィルタのキャリブレーション

デジタルフィルタを DT プロトタイプから流用したのはアナログ回路部が理想的に動作することを前提としたものであり、アナログ回路の非理想性によるデジタルフィルタとの伝達関数のずれによりノイズリークが発生する。そのため、デジタルフィルタのキャリブレーションを行う必要がある。DF₂ は 1 段目変調器の 2 次特性の NTF と同じ 3 タップの FIR フィルタで表せる($DF_2(z) = b_0 + b_1z^{-1} + b_2z^{-2}$)。このフィルタの重み $\mathbf{b}$ を、図 3-5 で示す様に周波数領域での最小二乗法によって帯域内の雑音電力を最小化するように決定する [11]。

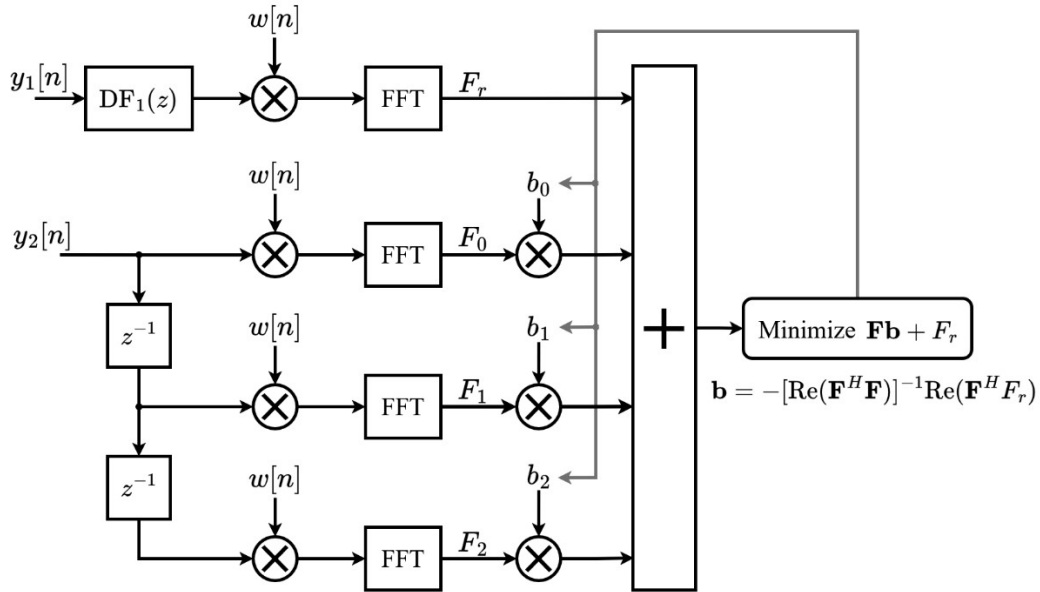


図 3-5 キャリブレーションの模式図

2 段目の変調器の出力 y_2 は遅延ごとに経路が分かれており、それぞれに対して窓処理と FFT にかける。窓処理は帯域外の雑音が帯域内にリークしないために必要であり、FFT では帯域内のビンだけを取り出し、入力信号成分と DC 成分は破棄する。 $\mathbf{F} = [F_0 \ F_1 \ F_2]$ 、 $\mathbf{b} = [b_0 \ b_1 \ b_2]^T$ とおくと、

$$\mathbf{Fb} = -F_r \tag{3.9}$$

で表せ、 $\mathbf{Fb} + F_r$ を最小化する $\mathbf{b}$ を求めることによって帯域内雑音を最小化できる。なお、解は次のように求められる。

$$\mathbf{b} = -[\text{Re}(\mathbf{F}^H \mathbf{F})]^{-1} \text{Re}(\mathbf{F}^H F_r) \tag{3.10}$$

3.5 CTΔΣ 変調器の非理想性

これまで線形モデルを用いて解析を行ったが、回路はトランジスタで構成されるためその動作は非線形である。積分器はOTAの有限利得と有限GBWにより理想モデルから変化する。また、量子化器の出力決定タイミングは無遅延を仮定したが、実際には遅延が存在する。これらはループフィルタの伝達関数に影響する。クロックやフィードバックDACパルスに混入するジッタは積分器入力に注入され、ノイズシェイプされずに帯域内雑音を劣化させる。従って、これら非理想性を回路ごとに検証し、変調器性能の劣化を最低限に抑えるように設計要件を定めた。

本研究では、Simulinkにて図 3-6 の様に積分器、量子化器、DAC に対して非理想性を記述した回路ブロックを設計し、各パラメータを変化させたときの IBN を調査した。

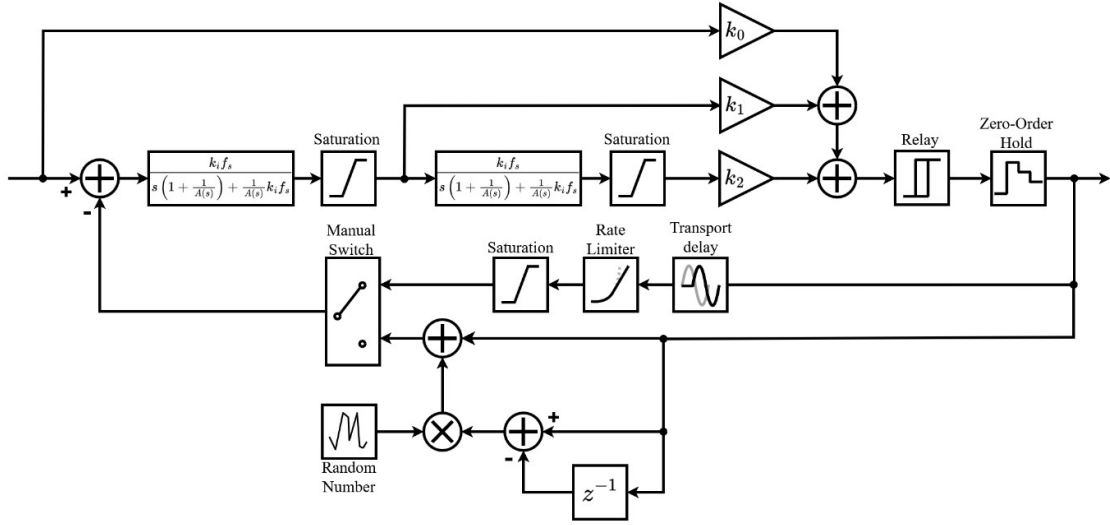


図 3-6 回路の非理想性を含む Simulink モデル(1 段目)

3.5.1 積分器

図 3-7 で示す積分器では入力端子間の電位差 v_x が存在するものとする。

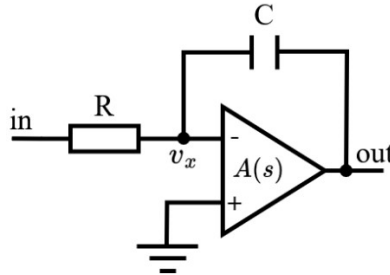


図 3-7 積分器の回路図

$1/RC$ を kf_s とおくと(k は積分器利得), 積分器の伝達関数ITFは,

$$\text{ITF}(s) = \frac{kf_s}{\left(1 + \frac{1}{A(s)}\right)s + \frac{1}{A(s)}kf_s} \quad (3.11)$$

$A(s) \rightarrow \infty$ のとき, $\text{ITF}(s) \approx kf_s/s$ であり理想積分器と一致する。ここで、極が 1 つの OTA を仮定し、 $\text{GBW} = A_{dc}\omega_p$ とすると、OTA の伝達関数は,

$$A(s) = \frac{A_{dc}}{\frac{s}{\omega_p} + 1} = \frac{A_{dc}\text{GBW}}{A_{dc}s + \text{GBW}} \quad (3.12)$$

これを ITF に代入すると,

$$\text{ITF}(s) = \frac{k f_s}{s^2 + \left(\text{GBW} + \frac{\text{GBW}}{A_{dc}} + k f_s \right) s + \frac{\text{GBW}}{A_{dc}} k f_s} \quad (3.13)$$

この有限利得と有限 GBW により、実際の NTF は所望の特性からずれる。また、GBW が小さいほど積分器の出力振幅に依存して遅延が大きくなる。一般的な CTΔΣM において必要な GBW は $2 \sim 5 f_s$ とされるが、MASH のようなマルチループの CTΔΣM においてはより設計要件が厳しくなる [12]。シミュレーション結果(図 3-8)によると、IBN を十分に低減させるためには、OTA の DC 利得は 60[dB]以上、GBW は $10 f_s$ (30.72[MHz])以上必要になることがわかった。

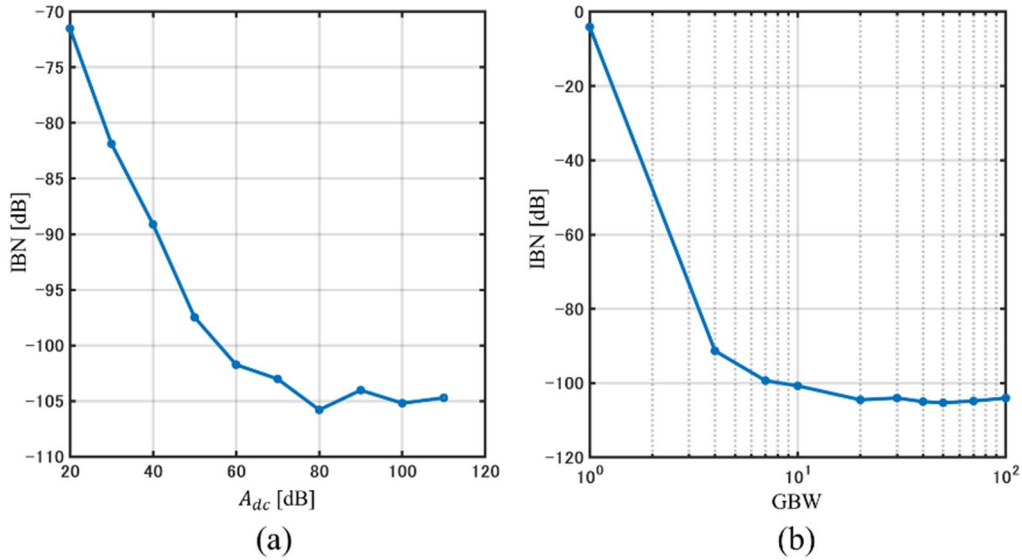


図 3-8 (a) DC 利得対 IBN; (b) GBW 対 IBN

積分器の出力振幅にも注意する必要がある。実際の OTA では出力範囲が有限なため積分器出力が飽和に近づくほど歪による雑音が増加する。そのため、ループフィルタの伝達関数に影響を与えない(図 3-9 で示す通り、積分器出力の状態 x をスケールダウンしても q_i が変化しない)ようにスケーリングを行う必要がある。この手法はダイナミックレンジスケーリングと呼ばれる [1]。

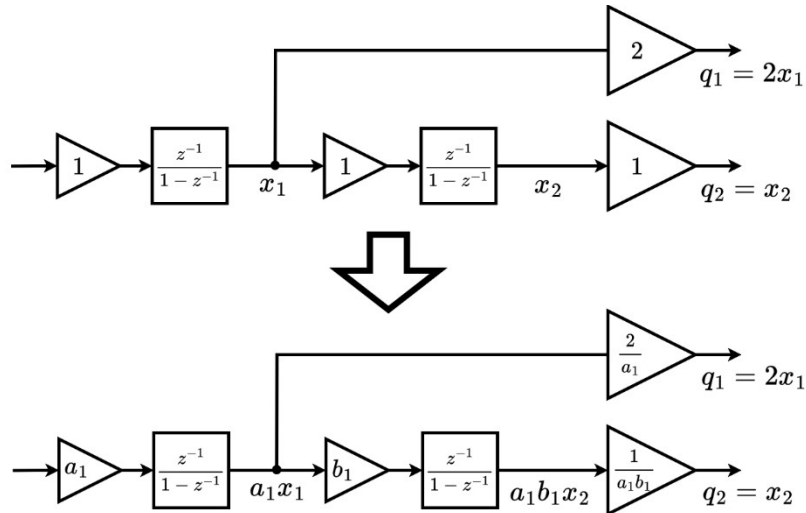


図 3-9 2 次 CIFF 型変調器における状態スケーリング

3.5.2 量子化器と DAC

$\Delta\Sigma$ は量子化器に起因するオフセットやヒステリシス、非線形性等の誤差は量子化雑音とともにシェイピングされるため影響は小さい。しかし、信号依存遅延(メタスタビリティ)やジッタなどのタイミングばらつきによる誤差は顕著に変調器性能を劣化させる。

実際の回路では、量子化器が出力結果を確定するまでには時間がかかる。そのため、サンプリングとフィードバックのタイミング間には遅延が存在する。これを過剰ループ遅延(ELD)と呼ぶ。インパルス不変変換では無遅延の矩形 DAC パルスを指定したが、このパルスとのずれが NTF の不一致を引き起こす。パルスの遅延は NTF の次数を増加させるため、遅延が小さい場合はノイズシェイピング性能の向上がみられるが、次第に帯域外利得の増加により変調器は不安定化する [10]。

フィードバック DAC パルスはクロック、量子化器の信号依存遅延等に起因するジッタの影響を受ける。特に CT $\Delta\Sigma$ では、ジッタが重畳したフィードバックパルスを連続的に積分することになるため、フィードバックパルスの統計的変動は積分器にも同様に積分誤差を引き起こし、変調器出力に雑音として現れる。また、その性質からフィードバックパルスの面積誤差が重要であり、クロックジッタの影響をシミュレーションする際、パルスタイミング遅延 t_d が正規分布であると仮定し、以下の式で求めた面積誤差をフィードバックパルスに加算する方式が取られる [13, 14]。

$$e_{jitter}[n] = \frac{t_d}{T_s} (v[n] - v[n-1]) \quad (3.14)$$

また、 σ_{td} は遅延 t_d の標準偏差としている。シミュレーション結果(図 3-10)によると、設計目標を達成するには、ジッタ σ_{td} は0.004[%](13[ps])、遅延は5[%](16[ns])以内に収める必要があるとわかった。

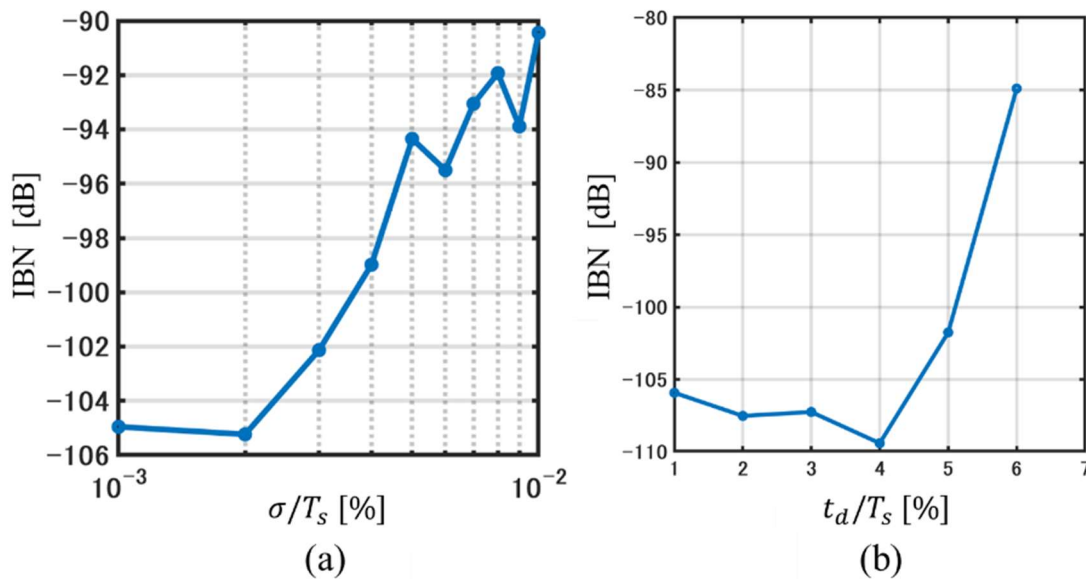


図 3-10 (a) ジッタ対 IBN; (b) ループ遅延対 IBN

第4章 トランジスタレベル設計

4.1 OTA

システムレベル設計において回路の設計要件を検証した. OTA と関連があるのは主に DC 利得, GBW, 出力振幅が挙げられる. そこで, 図 4-1 に示す代表的な 3 つの OTA の構成の中から, 設計要件を満たすことの出来る構成について検討する.

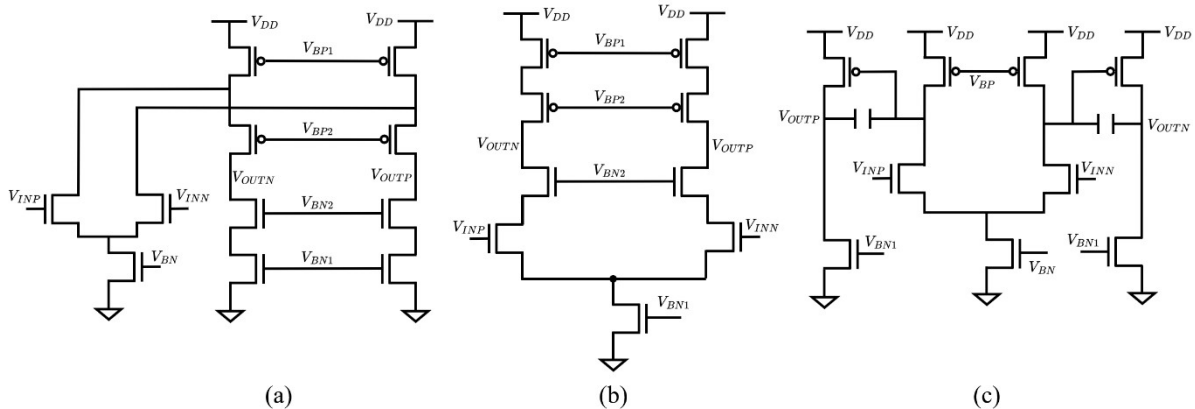


図 4-1 (a) フォールデッドカスコード型, (b) テレスコピックカスコード型, (c) 2 段型

- DC 利得 : 2 段型は 2 段分の利得を持っているため最も利得が高い. テレスコピックカスコード型とフォールデッドカスコード型では同程度となる.
- ゲイン帯域幅積(GBW) : アンプが安定動作していることを前提として, アンプの寄生容量が小さいほど GBW が高くなる. テレスコピックカスコード型が最も GBW が高い, 入力部とカスコード部の分岐点でさらに寄生容量が大きくなるフォールデッドカスコード型はテレスコピックに劣る. 2 段型は位相補償用のキャパシタを追加する必要があるため最も低い.
- 出力振幅範囲 : 増幅回路ではトランジスタが飽和領域で動作する必要があるため, それぞれのトランジスタにおいて, $V_{ds} > V_{gs} - V_{th}(=V_{eff})$ を成立させるように設計する. 従って, V_{eff} をすべて等しく設定した場合, 出力段で縦続接続されているトランジスタが多いほど出力振幅の範囲は狭くなる. よって, 2 段型が最も出力振幅が広く, テレスコピック型は最も狭い. フォールデッドカスコード型はカスコード段の一部を折りたたむ構成とすることでテレスコピック型の出力振幅を改善した構成であるため, 中程度の出力振幅を持つ.

これらの要素を検討した結果, テレスコピックカスコード型を選択した. DC 利得に関しては中程度であり 2 段型に劣るが, 2 段型では GBW の要件を達成することは難しい. 対照的にテレスコピックカスコード型は高い GBW を持っており, DC 利得と GBW 両方を達成できる構成のためである. また, GBW を十分に高くすれば積分器で発生するループ遅延の影響を低減できる. 出力振幅に関しては最も狭くフォールデッドカスコード型に劣るが, この問題はシステムレベル設計段階で積分器利得のスケールリングを行うことで対処が可能である.

次に, 図 4-2 の手順に従ってテレスコピックカスコード型の小信号解析を行い, DC 利得と GBW を求める. 差動増幅回路の動作は左右対称なため片側の回路だけ解析し, 反対側の回路は符号を反転すれば求まる(ハーフサーキット解析). また, テイルの NMOS のドレイン電圧や電源電圧, バイアス電圧は時間変動しないと仮定すれば, 小信号的に接地とみなして解析できる [15].

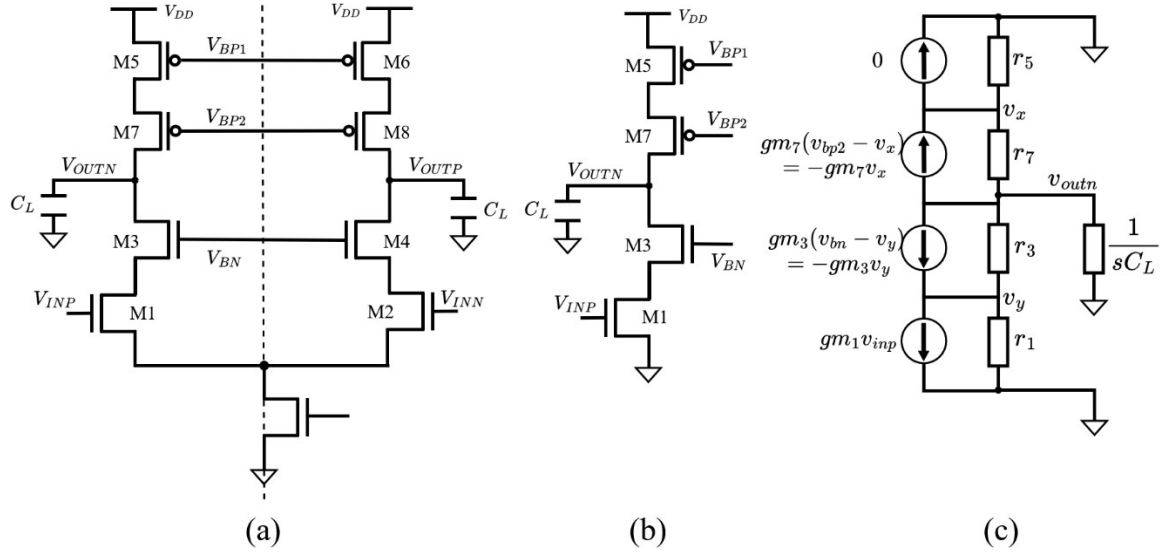


図 4-2 (a) テレスコピック型, (b) (a)のハーフサーキット, (c) (b)の小信号等価回路

$g_{dsi} = 1/r_i$ とし, v_x でキルヒホフの電流則を立てると,

$$\begin{aligned}
 -gm_7 v_x + g_{ds7}(v_{outn} - v_x) - g_{ds5} v_x &= 0 \\
 v_x &= \frac{g_{ds7}}{gm_7 + g_{ds5} + g_{ds7}} v_{outn}
 \end{aligned} \tag{4.1}$$

v_y でキルヒホフの電流則を立てると,

$$\begin{aligned}
 -gm_3 v_y + g_{ds3}(v_{outn} - v_y) - gm_1 v_{inp} - g_{ds1} v_y &= 0 \\
 v_y &= \frac{1}{gm_3 + g_{ds1} + g_{ds3}} (g_{ds3} v_{outn} - gm_1 v_{inp})
 \end{aligned} \tag{4.2}$$

v_{outn} でキルヒホフの電流則を立てると,

$$\begin{aligned}
 -gm_1 v_{inp} - g_{ds1} v_y - g_{ds5} v_x - sC_L v_{outn} &= 0 \\
 v_{outn} &= - \frac{gm_1 \left(1 - \frac{g_{ds1}}{gm_3 + g_{ds1} + g_{ds3}}\right)}{\frac{g_{ds5} g_{ds7}}{gm_7 + g_{ds5} + g_{ds7}} + \frac{g_{ds1} g_{ds3}}{gm_3 + g_{ds1} + g_{ds3}} + sC_L} v_{inp} \\
 &\approx - \frac{gm_1}{\frac{g_{ds5} g_{ds7}}{gm_7} + \frac{g_{ds1} g_{ds3}}{gm_3} + sC_L} v_{inp}
 \end{aligned} \tag{4.3}$$

同様に, 反対側の回路について,

$$v_{outp} \approx - \frac{gm_1}{\frac{g_{ds5} g_{ds7}}{gm_7} + \frac{g_{ds1} g_{ds3}}{gm_3} + sC_L} v_{inn} \tag{4.4}$$

$v_{inp} = v_{id}/2$, $v_{inn} = -v_{id}/2$, $v_{outp} = v_{od}/2$, $v_{outn} = -v_{od}/2$ とすると,

$$\frac{v_{od}}{v_{id}} = \frac{gm_1}{\frac{g_{ds5} g_{ds7}}{gm_7} + \frac{g_{ds1} g_{ds3}}{gm_3} + sC_L} \tag{4.5}$$

DC 利得を求めると ($s = 0$),

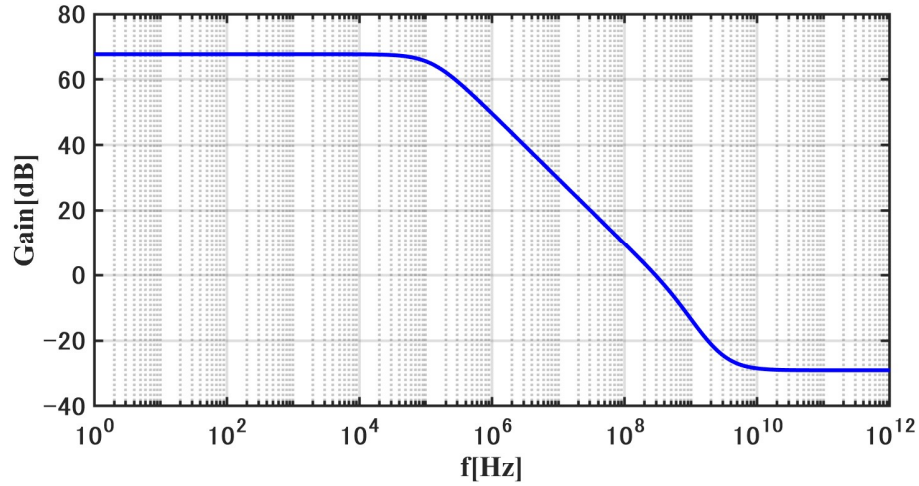
$$A_{dc} = gm_1 \frac{1}{\frac{g_{ds5} g_{ds7}}{gm_7} + \frac{g_{ds1} g_{ds3}}{gm_3}} = gm_1 [(gm_3 r_1 r_3) \parallel (gm_7 r_5 r_7)] = gm_1 R_{out} \tag{4.6}$$

次に, GBW は,

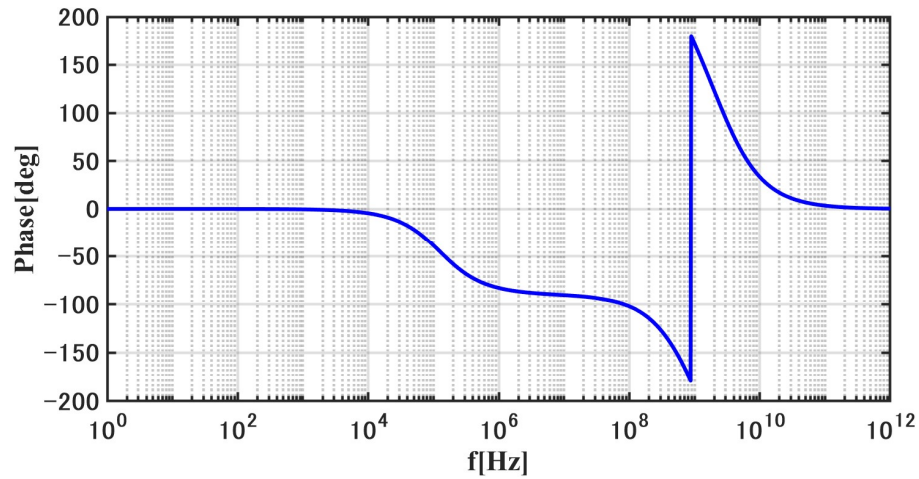
$$GBW = A_{dc}\omega_p = gm_1 R_{out} \cdot \frac{1}{R_{out}C_L} = \frac{gm_1}{C_L} \quad (4.7)$$

と求まる． R_{out} は各トランジスタの出力抵抗に依存するため，チャネル長変調の影響を軽減するように L を大きく設定すれば DC 利得が増加する．GBW は C_L が小さいほど， gm が大きいほど高くできるが，トランジスタサイズの増加による寄生容量の影響も含めて，位相余裕を考慮する必要がある．

図 4-4 に設計した OTA と素子サイズを示す．DC 利得と GBW の両立のため，チャネル長 L はプロセスルール の最小値の 5 倍である $0.9[\mu\text{m}]$ を基準とした．出来るだけ広い出力振幅範囲を得るため V_{eff} は $0.15[\text{V}]$ に設定した．設計目標を考慮し，差動対にはそれぞれ $500[\mu\text{A}]$ ，テイルの NMOS には $1[\text{mA}]$ 流すように W/L 比を設定した．ドレイン電流やドレイン-ソース間電圧， V_{eff} 等の条件下でのトランジスタサイズ W やトランスコンダクタンス gm ，出力抵抗 r_o は，予め回路シミュレーション上でトランジスタのキャラクタイズを行うことによって推定した [16]．また，同相電圧は最大振幅を達成するため電源電圧 $1.8[\text{V}]$ の中間である $0.9[\text{V}]$ に設定した．AC 解析結果(図 4-3)によると，DC 利得は $68[\text{dB}]$ ，GBW は $310[\text{MHz}]$ を達成した．位相余裕は $53[^\circ]$ である．



(a)



(b)

図 4-3 設計したテレスコピック型 OTA の周波数特性

(a) 利得, (b) 位相

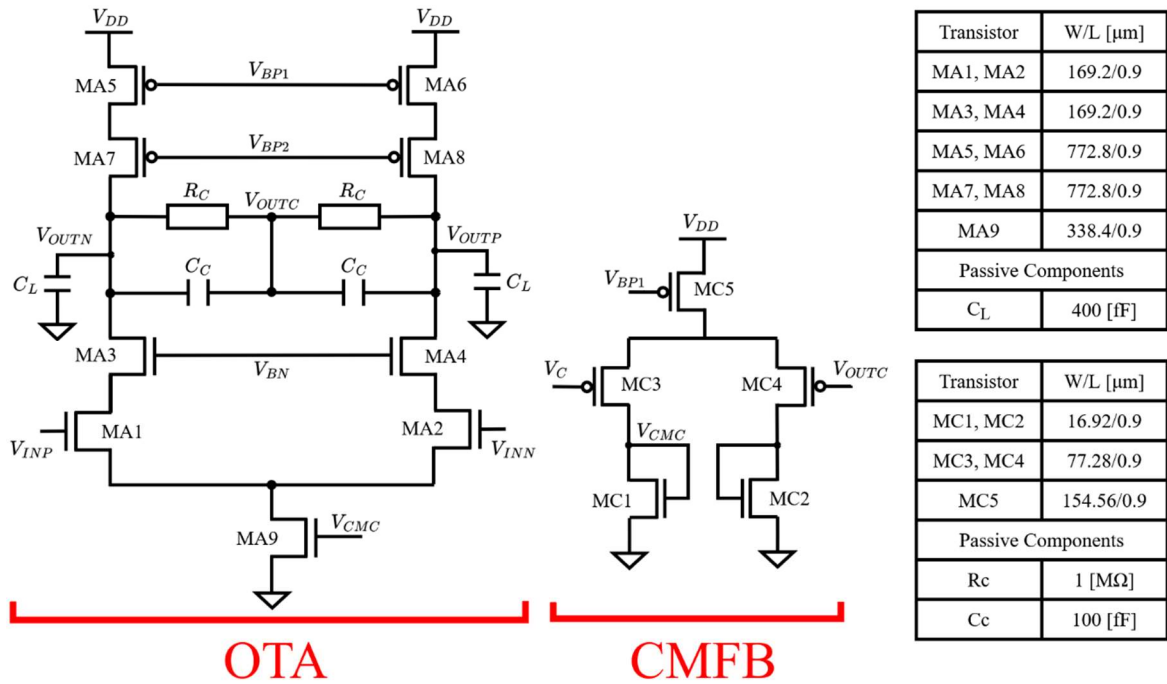


図 4-4 設計したテレスコピック型 OTA と CMFB 回路

4.1.1 CMFB

本研究で設計した OTA は完全差動であり、完全差動回路はシングルエンドと比較して出力振幅を 2 倍にできる他、電源ノイズへの耐性が高い。しかし、素子間の特性のミスマッチや負荷の影響を受け同相出力電圧が不安定化する場合があるため、同相電圧を電源電圧の中間に安定させるようにコモンモードフィードバック(CMFB)回路によって制御する必要がある。CMFB は同相電圧検出回路と、リファレンス電圧-同相電圧間の誤差をバイアス回路にフィードバックするためのアンプから構成される。同相電圧がリファレンスを上回った場合を考えると、CMFB はテイルの NMOS の電流を増加させることで同相電圧を下げるように働く [16, 17]。

図 4-4 に CMFB の構成を示す。同相電圧検出回路には抵抗分圧を採用した。OTA の両極の出力は 2 つの等しい抵抗によって平均化され、リファレンス電圧と比較される。この手法の欠点としては、OTA 本体の出力抵抗よりも平均化抵抗が十分に大きくない限り、OTA の利得が減少することである。特に高出力抵抗である OTA では影響が大きい。従って、1[M Ω]と大きく設定した。その他に線形動作するトランジスタを用いた検出方法もあるが、出力振幅が制限される等の欠点がある。CMFB アンプには両側にダイオード接続された負荷をもつ 1 段アンプを使用した。この CMFB アンプの利得は 1 程度であり、カレントミラー負荷を用いた場合よりも低利得ではあるが CMFB ループの安定性は保証される。また、OTA 本体の出力は高抵抗な分圧回路を介して CMFB アンプの入力容量を駆動する必要があるため、平均化抵抗を短絡するようにキャパシタを接続することで、高周波帯での CMFB ループの動作を補償している [18, 19]。

4.1.2 電流源・バイアス回路

図 4-5 に OTA に供給するバイアス回路と電流源を示す。上部のカレントミラーは両側の電流を等しく保ち、M1,3,4 は等しいサイズだが M2 は 4 倍である。この回路は生成される電流が電源電圧に依存せず、M2 のサイズを 4 倍とすることで $R = 1/gm$ より抵抗値が決定できる。また、この電流源回路には動

作点が 2 つ存在し、回路が動作していない状態でも安定する場合があるためスタートアップ回路を必要とする [18]. NMOS のバイアス電圧は線形領域で動作するトランジスタにより生成される. 生成した電流はカスコードカレントミラーによって OTA にミラーしている.

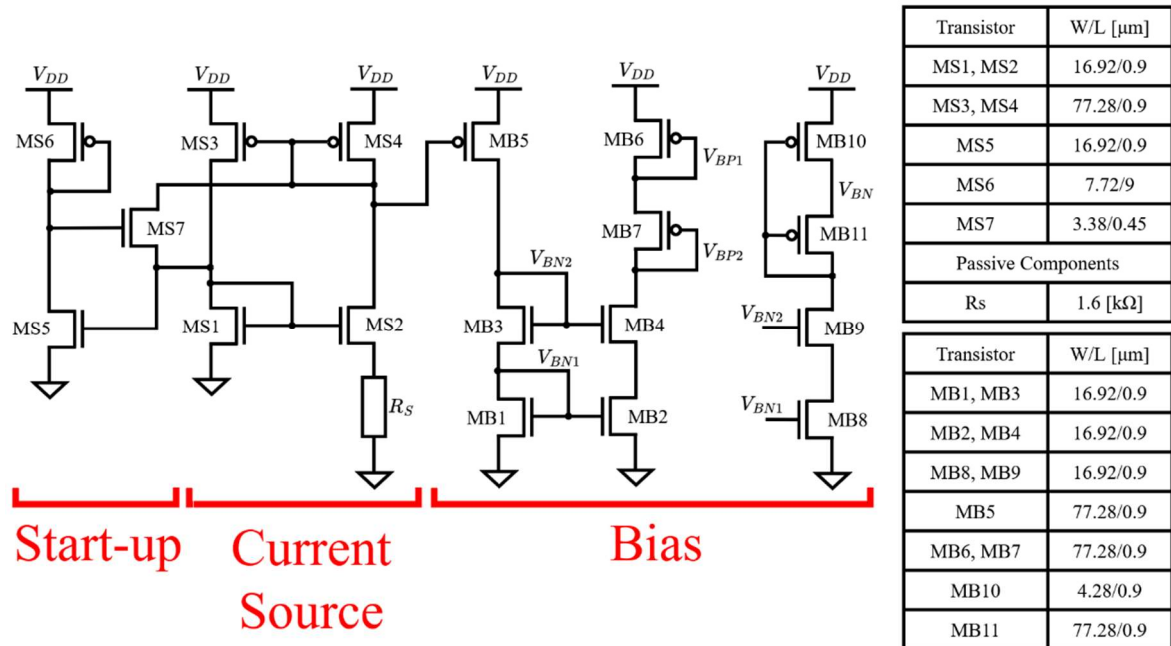


図 4-5 設計した電流源とバイアス回路

4.2 量子化器

図 4-6 に設計した量子化器と比較器に使用した素子サイズを示す. 比較器には低電力・低ノイズなセンスアンプを採用した. M1 と M2 は線形領域で動作し, 入力の差電圧と電流の非対称性により出力電圧の不均衡を作り出す. クロックが L の時, MS3 と MS4 によって出力電圧は VDD にリセットされる. クロックが H の時, MS1 と MS2 によって M1, M2, M3, M4 で構成されるクロスカップルインバータが動作し, 出力電圧差はフルスケールまで増幅される [18].

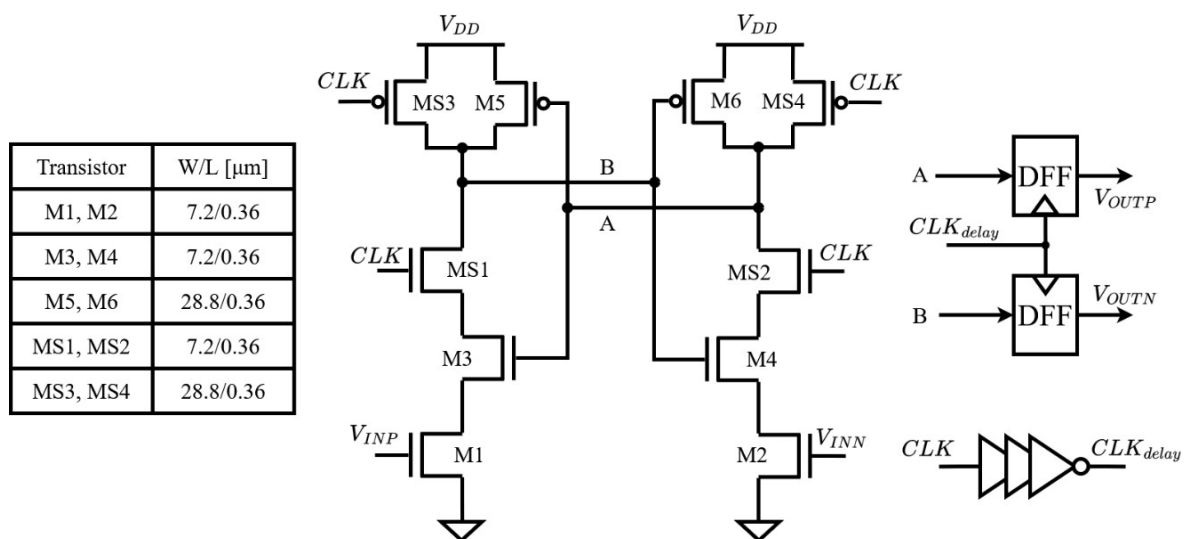


図 4-6 設計した量子化器

図 4-6 の量子化器に使用した比較器単体において、比較結果が確定するまでの遅延とばらつきを検証するため、回路シミュレータによる 2 次変調器のシミュレーションを行った。シミュレーション結果(図 4-7)によると、信号依存遅延のばらつきが大きく、クロックの立ち上がりから比較結果の確定までにかかる時間は 1-3[ns]の広い範囲に分布している。そのため、比較器とラッチ回路(SR ラッチ等)の組み合わせでは変調器の SNR の悪化が予想される。

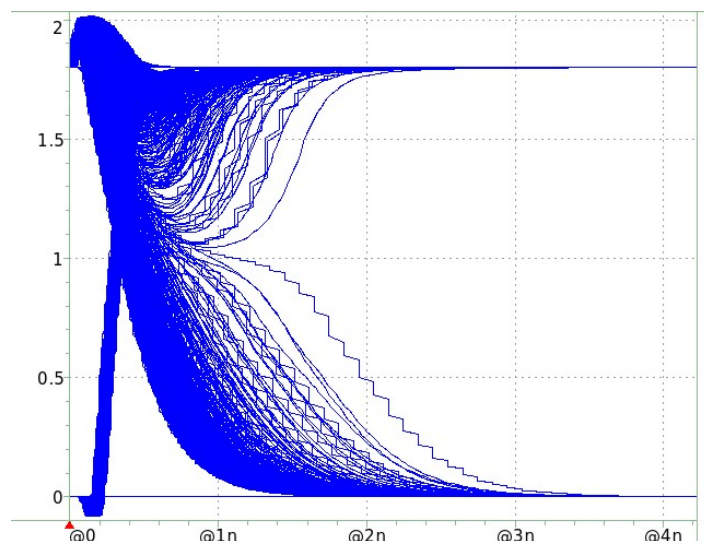


図 4-7 比較器出力のアイパターン

そこで、比較器出力に D フリップフロップ(DFF)を追加し、比較器の出力が確定してから DAC を動作させることで、追加の遅延を導入する代わりに信号依存遅延のばらつきを低減させる方法をとった。

DFF には図 4-8 に示す、トランスマッションゲートとインバータで構成されるマスタスレーブ型を採用した。また、DFF の動作タイミングは比較器の出力結果の確定後である必要があるため、DFF に入力する CLK 信号は 100 段のインバータチェーンにより 6[ns]遅延させた。

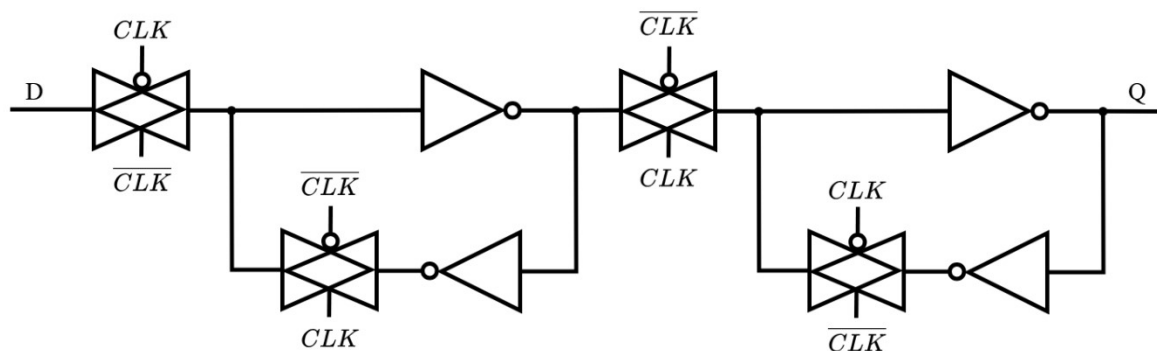


図 4-8 マスタスレーブ型 DFF

DFF とインバータチェーンに使用した NMOS のサイズは 1.8/0.18, PMOS のサイズは 7.2/0.18 である。

4.3 DAC

DAC には図 4-9 に示す CMOS アナログスイッチと抵抗による抵抗型 DAC を採用した. 量子化器出力が H なら $V_{refn}(= 0[V])$, L なら $V_{refp}(= 1.8[V])$ を積分器に入力することで負のフィードバックを構成している. NMOS のサイズは 14.4/0.18, PMOS のサイズは 57.6/0.18 である.

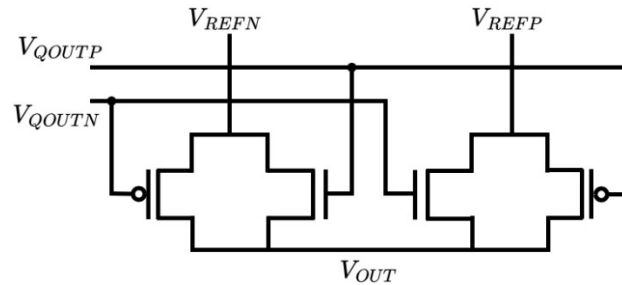
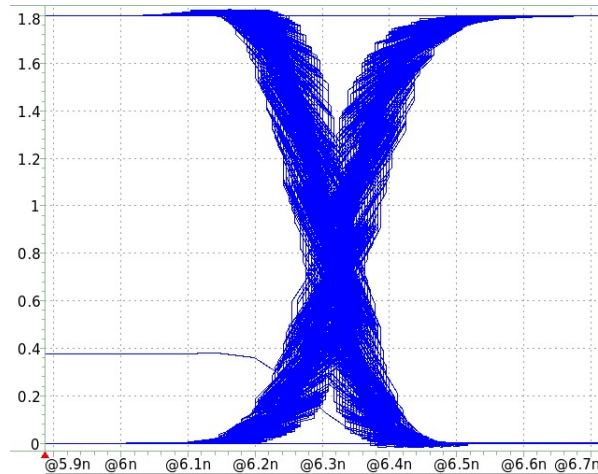
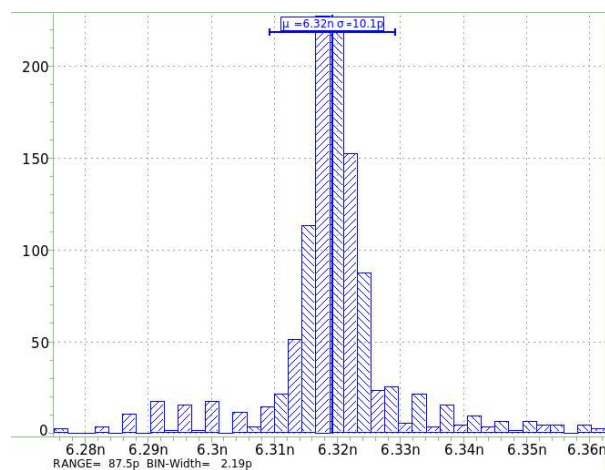


図 4-9 DAC に使用した CMOS スイッチ

シミュレーション結果(図 4-10)から DAC パルスの最終的な遅延とばらつきを検証すると, 遅延の平均は 6.32[ns]であり, ジッタは $\sigma = 10.1[\text{ps}]$ まで軽減できている.



(a)



(b)

図 4-10 (a) DAC パルスのアイパターン, (b) (a)のジッタヒストグラム

第5章 2-2 MASH の設計と実測による評価

5.1 回路図

図 5-1 に設計した変調器の回路図を示す. 表 5-1(a)は図 3-4 に示す CT 型 MASH 変調器のパラメータ表であり, 第 3 章で示した DT-CT 変換とダイナミックレンジスケールングを基に定めた. 表 5-1(b)は変調器回路に使用した素子サイズである. 2 段目変調器の 2 つ目の積分器に入力される拡張経路の利得は非常に小さく, 変調器性能にほとんど影響を与えないことをシミュレーションにて検証したため省略している.

表 5-1 (a) システムモデルのパラメータ, (b) 回路素子のパラメータ

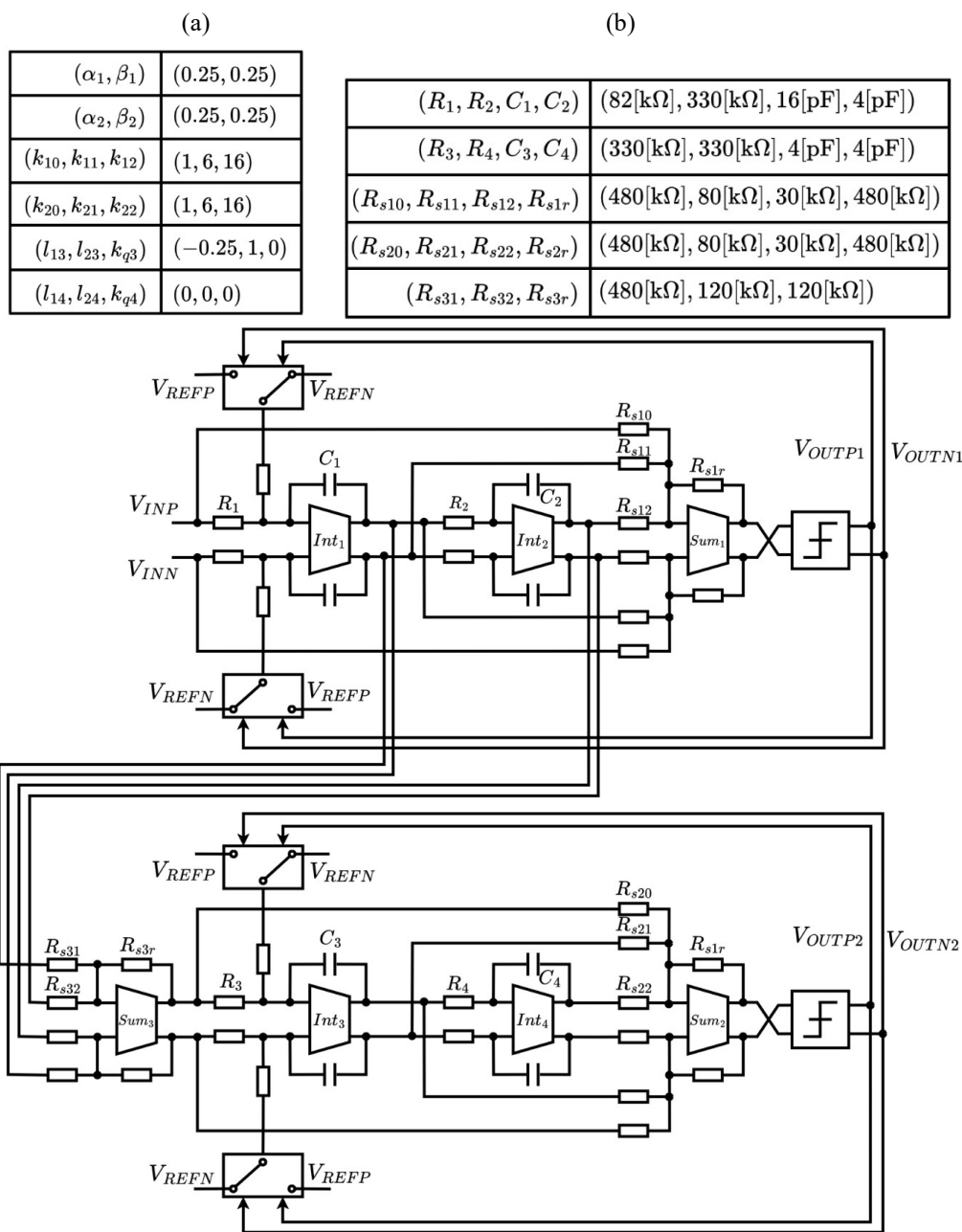


図 5-1 設計した変調器全体の回路図

5.2 レイアウト

チップに実装するにあたって追加した回路を図 5-2 に示す. パッド付近の IO バッファは, 入力側においては ESD 保護, 出力側においてはパッドや測定用プローブの寄生容量を駆動するためのバッファとして実装している [20]. ESD 保護回路はダイオード接続された PMOS と NMOS で構成され, 出力バッファはインバータチェーンである. また, 変調器の非理想性検証で考察した通り, DAC パルス形状の変動は SNR を劣化させるため, 量子化器出力-IO バッファ間での配線などから生じる寄生容量を駆動するためのバッファを量子化器付近に追加し, 量子化器の駆動力不足による DAC パルス波形のなまりを低減する構成とした.

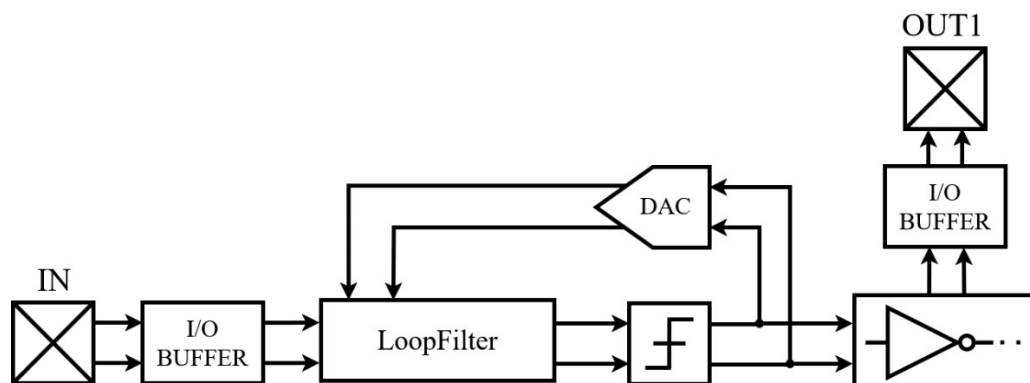


図 5-2 変調器のレイアウト模式図

これらの追加のバッファや, 量子化器出力の負荷の対称性のため 1 つの変調器につき出力を両極とする構成としたのは, RC 抽出後のシミュレーションにおいて IBN を劣化させないように検証した結果である. また, アナログ用とデジタル用の VDD は分離されており, 内部回路用電源と IO 用電源はウェルとともに分離されている. 図 5-3 は試作チップに搭載した回路全体のレイアウトであり, サイズは $1412[\mu\text{m}] \times 1156[\mu\text{m}]$ である.

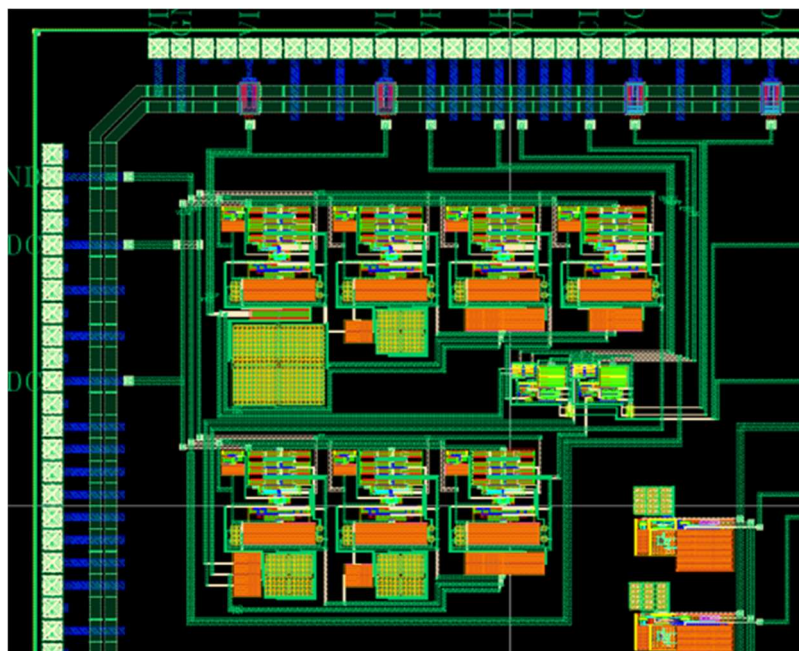


図 5-3 変調器全体レイアウト

5.3 実測

測定条件として、電源電圧は 1.8[V], DAC に印可する正と負の参照電圧は 1.8[V]と 0[V], クロック信号は 3.072[MHz]の矩形波, 入力は 20.25[kHz]の正弦波で最大振幅は電源電圧までとした. 使用した機器を表 5-2 にまとめる.

表 5-2 本研究で使用した測定機器

機器名	型番	メーカー
DC Power Supply	E3610A	Agilent Technologies
DC Power Supply	E36102B	KEYSIGHT
Pulse Function Arbitrary Generator	81150A	Agilent Technologies
Waveform Genarator	33600A Series	KEYSIGHT
Digital Storage Oscilloscope	InfiniiVision DSOX3024G	KEYSIGHT

本研究での測定用基板および治具を図 5-4 に示す.

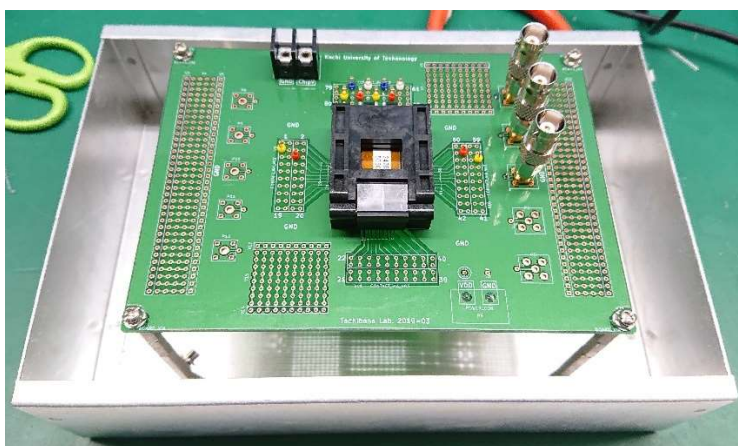


図 5-4 測定用治具

製作したチップをオシロスコープで測定したところ, 変調器の出力が両極とも H のまま変化していないことが分かった. この場合, DAC 内部の NMOS スイッチが両極とも ON となり, 積分器入力には正と負の参照電圧の間である 0.9[V]付近の電圧が印可されることになる. 差動的に見れば帰還量は 0 であり, 変調器の負帰還が機能しておらず出力が固定された状態に陥ったと考えられる.

本研究では差動回路の対称性を重視して設計したが, 実測により, 出力の一方が H であれば, もう片方は必ず L となる保証がされない回路であることが判明した. この問題を回避するためには, 対称性を犠牲にして, 量子化器出力の正極だけとり, その信号をインバータに通して負極を作るなどして, 変調器出力が必ず差動になるような設計にする必要があると考えられる.

なお, シミュレーション上ではこの問題は確認できておらず, あくまで考察であり, OTA や量子化器など要素回路での問題の可能性もある. 本研究で製作したチップの結果だけでは原因の特定は難しく, 各回路で個別の検証を行い, 実測でもシミュレーション通りに動作する回路を設計することが今後の課題である.

本章で設計した回路のシミュレーション結果は次章でまとめて示す.

第6章 2-2 FIR-MASH の設計とシミュレーションによる評価

6.1 FIR フィードバック

これまでのシングルビット量子化器を用いた変調器設計において、比較器の信号依存遅延やジッタによる SNR の悪化、ループフィルタの線形性等の問題があった。シングルビット量子化器の代わりにマルチビット量子化器を採用すれば、DAC パルス高さの減少により、パルスの面積誤差とループフィルタに入力される誤差信号を低減できるためこれらの問題は緩和される。しかし、マルチビット量子化器では、比較器の数が増加する上にミスマッチ補正用回路が必要になるため、回路の複雑化・面積の増加についての問題が生じる。そこで、シングルビット量子化器の簡易性を保ったまま、線形性とジッタ感度に対してマルチビット量子化と同等の性能向上を達成できる FIR フィードバック [1, 11, 21] と呼ばれる技術について図 6-1 に示す。

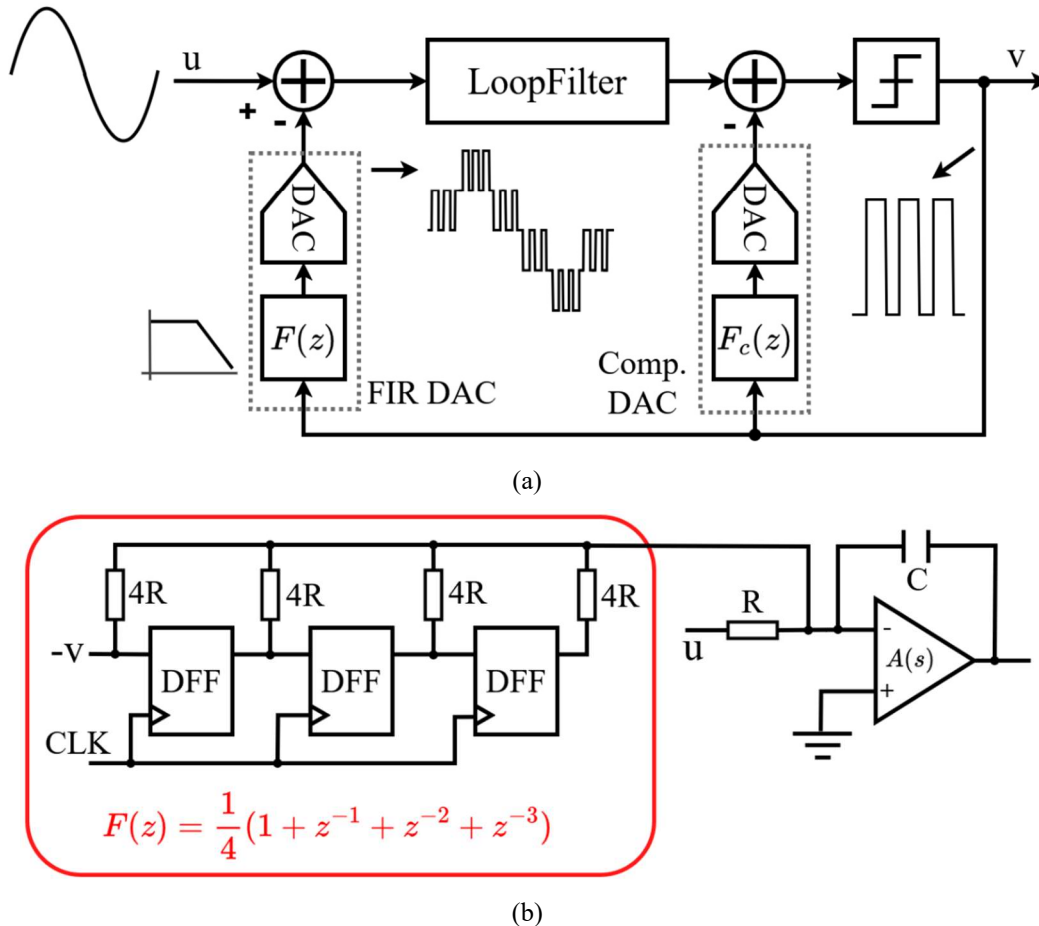


図 6-1 (a) FIR フィードバックの模式図, (b) FIR DAC の回路実装

量子化器は 1bit であり、出力 v は 2 値 ($v = \pm 1$) であるため、パルスの高さは 2 で表せる。出力 v は DAC に入力される前に $F(z)$ の伝達関数をもつローパス特性の N タップ FIR フィルタによってフィルタリングされる。FIR フィルタの各タップの重みがすべて等しい ($1/N$) とすると、パルス高さは $2/N$ に低減される。非理想性検証で示した通り、DAC パルスのジッタに起因する雑音はパルス高さに比例するため、ジッタによる帯域内雑音は $20 \log(N)$ [dB] だけ減少する。

また、 $F(z)$ はローパスフィルタであるため、出力 v に含まれる低周波の入力信号はフィルタリングの影響を受けず、シェイピングされた高周波の量子化雑音をフィルタリングするため、FIR DAC で出力されるフィードバック信号はマルチビット量子化器と同様に多値信号化され、入力信号 u に近い波形となる。従って、ループフィルタに入力される誤差信号が小さくなるため、積分器の出力振幅範囲などに起因する線形性の問題が緩和される。

FIR DAC にはこれらの利点が存在するが、 $F(z)$ においてループ遅延が生じ変調器が不安定化する場合がある。そのため、量子化器周りのダイレクト経路 FIR DAC によりループ遅延を補償している。また、FIR DAC はセミデジタルアプローチ [22]により、遅延は DFF によるデジタル回路で実行し、各 DAC の出力は抵抗などによるアナログ回路にて重み付け加算する。なお、回路設計の際には DFF と量子化器の出力から抵抗の間には CMOS スイッチによる DAC を挿入し、DFF と量子化器が直接抵抗を駆動しない構成としたが、図では省略している。

これまでの議論よりタップ数 N を増やすほどジッタ感度と線形性がさらに改善されると予想できる。しかし、タップ数が大きすぎるとフィードバック信号の位相遅れにより、入力信号-フィードバック信号間の誤差はかえって大きくなるため線形性は悪化する。これはダイレクト経路では補償できない。また、FIR DAC の遅延を補償するようにループフィルタの係数も大きくする必要があるため STF ピークを上昇させる。これらの制約から、10-15 タップ以上の FIR DAC の実装に利点はほとんどないとされる [1]。本研究では、FIR フィルタのタップ数 $N = 4$ とし、2-2 MASH における FIR フィードバックの有効性をシミュレーションによって評価する。

6.2 シングルループにおける FIR-DAC の実装

シングルループにおける DT-CT 変換と同様に、量子化器の両端でループを開き、変調器出力端からインパルス信号を与えたとき、量子化器入力端でサンプリングされるインパルス応答が等しくなるようにループフィルタを設計し、DT プロトタイプと NTF を一致させる。なお、NRZ DAC を FIR DAC に置き換えているため変換表は使用せず、図 6-2 に示すように MATLAB にてインパルス応答と係数の計算を行った。

まず、DT における量子化器入力端でのインパルス応答列を求め、これを $l_d[n]$ とおく。次に、FIR DAC が接続された CT において積分器出力でのインパルス応答列を求め、1 次と 2 次の経路それぞれを $l_{c1}[n]$ 、 $l_{c2}[n]$ とおき、ループフィルタの係数を $\mathbf{K} = [k_{11} \ k_{12}]^T$ とおくと、 $l_c = [l_{c1} \ l_{c2}]\mathbf{K}$ となる。量子化器入力端でサンプリングされるインパルス応答が等しい($l_d[n] = l_c[n]$)場合、以下の方程式を解くと、

$$[l_{c1} \ l_{c2}]\mathbf{K} = l_d \quad (6.1)$$

$k_{11} \approx 3$, $k_{12} \approx 1$ と求まった。

次に、補償フィルタの伝達関数 $F_c(z)$ を求める。インパルス応答 l_d と l_c を見比べると、FIR フィルタで 4 タップ分の遅延が生じるため、 $t \leq 4$ においてはパルス応答が一致していない。よって、差分($l_d - l_c$)のタップ係数をもつ $F_c(z)$ によりこの遅延を補償する。

$$F_c(z) = 1.125z^{-1} + z^{-2} + 0.625z^{-3} \quad (6.2)$$

本研究で使用した CIFF 型の変調器はフィードフォワード経路によりループフィルタ内に入力信号成分が含まれないことを示した。これは FIR DAC を使用する場合も同様であるが、補償フィルタ $F_c(z)$ を追加したため、フィードフォワード経路の係数は $k_{10} = 1 + F_c(z = 1)$ として、入力成分を打ち消すために増加させる必要がある。

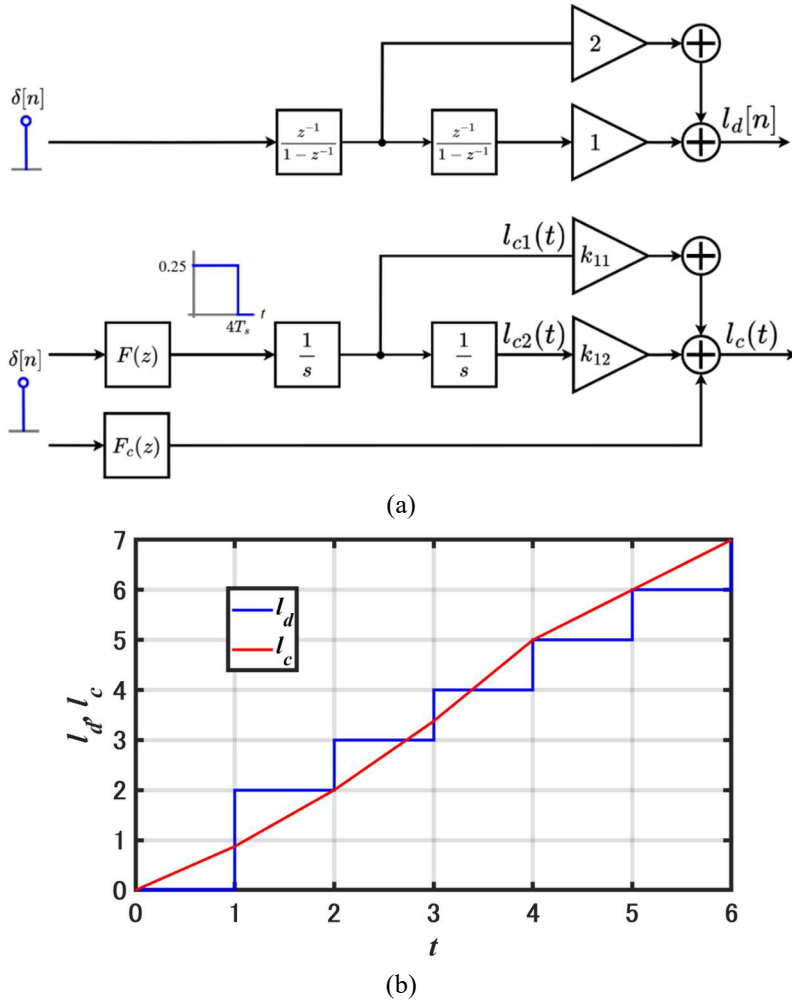


図 6-2 (a) FIR DAC を使用する場合の CT-DT 変換の模式図, (b) インパルス応答 l_d と l_c

6.3 MASH 変調器における FIR-DAC の実装

これまでに行った DT-CT 変換より, $(k_{10}, \alpha_1 k_{11}, \alpha_1 \beta_1 k_{12}, k_{20}, \alpha_2 k_{21}, \alpha_2 \beta_2 k_{22}) = (3.75, 3, 1, 1, 1.5, 1)$ であることがわかっている. 出力 v_1, v_2 を調べ, 量子化雑音 e_1 を打ち消すようなデジタルフィルタを設計する. $u = 0$ とし, $c2d$ は NRZ パルスに対応した連続時間から離散時間への変換を表すものとする, と

$$Y_1(z) = E_1(z)NTF_1(z)$$

$$X(z) = -\alpha_1 \beta_1 F(z) c2d \left[\frac{1}{s^2} \right] Y_1(z) \quad (6.3)$$

STF はループフィルタと NTF の積で表せるため,

$$STF_2(s) = \left(\frac{\alpha_2 \beta_2 k_{22}}{s^2} + \frac{\alpha_2 k_{21}}{s} + k_{20} \right) NTF_2(e^s) = \frac{s^2 + 1.5s + 1}{s^2} NTF_2(e^s) \quad (6.4)$$

変調器出力は STF の項と NTF の項の加算の形式で表せるため,

$$Y_2(z) = X(z) c2d \left[\frac{s^2 + 1.5s + 1}{s^2} \right] NTF_2(z) + E_2(z) NTF_2(z)$$

$$= -E_1(z) NTF_1(z) F(z) \alpha_1 \beta_1 c2d \left[\frac{s^2 + 1.5s + 1}{s^4} \right] NTF_2(z) + E_2(z) NTF_2(z) \quad (6.5)$$

$A(z)/B(z) = \alpha_1 \beta_1 c2d [(s^2 + 1.5s + 1)/s^4] NTF_2(z)$ とおくと,

$$Y_2(z) = -E_1(z)NTF_1(z)F(z)\frac{A(z)}{B(z)} + E_2(z)NTF_2(z) \quad (6.6)$$

$DF_1(z) = F(z)A(z)$, $DF_2(z) = B(z)$ とすると、最終的な出力は、

$$V(z) = DF_1(z)Y_1(z) + DF_2(z)Y_2(z) = F(z)A(z)Y_1(z) + B(z)Y_2(z) \quad (6.7)$$

入力 u が信号帯域内なら、 $Y_1(z) \approx U(z) + E_1(z)NTF_1(z)$ であるため、

$$\begin{aligned} V(z) &\approx F(z)A(z)[U(z) + E_1(z)NTF_1(z)] + B(z)\left[-E_1(z)NTF_1(z)F(z)\frac{A(z)}{B(z)} + E_2(z)NTF_2(z)\right] \\ &= F(z)A(z)U(z) + B(z)NTF_2(z)E_2(z) \end{aligned} \quad (6.8)$$

ここで、 $A(z)$ と $B(z)$ に関して連続時間から離散時間への変換を行うと、

$$\begin{aligned} A(z) &= 0.7917z^{-1} + 0.7083z^{-2} - 0.7917z^{-3} + 0.2917z^{-4} \\ B(z) &= (1/\alpha_1\beta_1)(1 - z^{-1})^2 \end{aligned} \quad (6.9)$$

従って、入力 u はローパス特性の $F(z)A(z)$ によってフィルタリングされ、量子化雑音 e_2 は 4 次のハイパス特性を持つ $B(z)NTF_2(z)$ によってノイズシェイプされる。 e_1 は消去されている。

表 6-1(a) は図 6-3 に示す 2-2 FIR-MASH のシステムモデルに使用したパラメータ表であり、表 6-1(b) は図 6-4 に示す変調器回路に使用した素子サイズ表である。

表 6-1 (a) システムモデルのパラメータ, (b) 回路素子のパラメータ

(a)		(b)	
(α_1, β_1)	(0.25, 0.25)	(R_1, R_2, C_1, C_2)	(81.4[kΩ], 325.5[kΩ], 16[pF], 4[pF])
(α_2, β_2)	(0.25, 0.25)	(R_3, R_4, C_3, C_4)	(325.5[kΩ], 325.5[kΩ], 4[pF], 4[pF])
(k_{10}, k_{11}, k_{12})	(1, 12, 16)	$(R_{S10}, R_{S11}, R_{S12}, R_{S1R})$	(266.7[kΩ], 83.3[kΩ], 62.5[kΩ], 125[kΩ])
(k_{20}, k_{21}, k_{22})	(1, 6, 16)	$(R_{S20}, R_{S21}, R_{S22}, R_{S2R})$	(480[kΩ], 80[kΩ], 30[kΩ], 480[kΩ])
		$(R_D, R_{DC1}, R_{DC2}, R_{DC3})$	(325.5[kΩ], 888.9[kΩ], 1[MΩ], 1.6[MΩ])

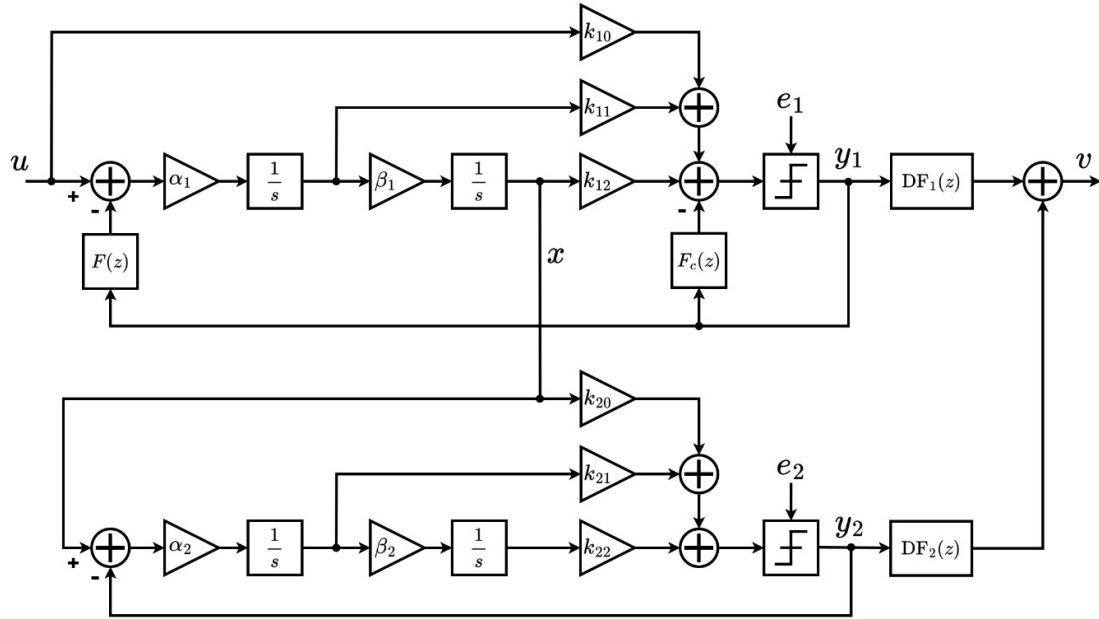


図 6-3 設計した 2-2 FIR-MASH のシステムモデル

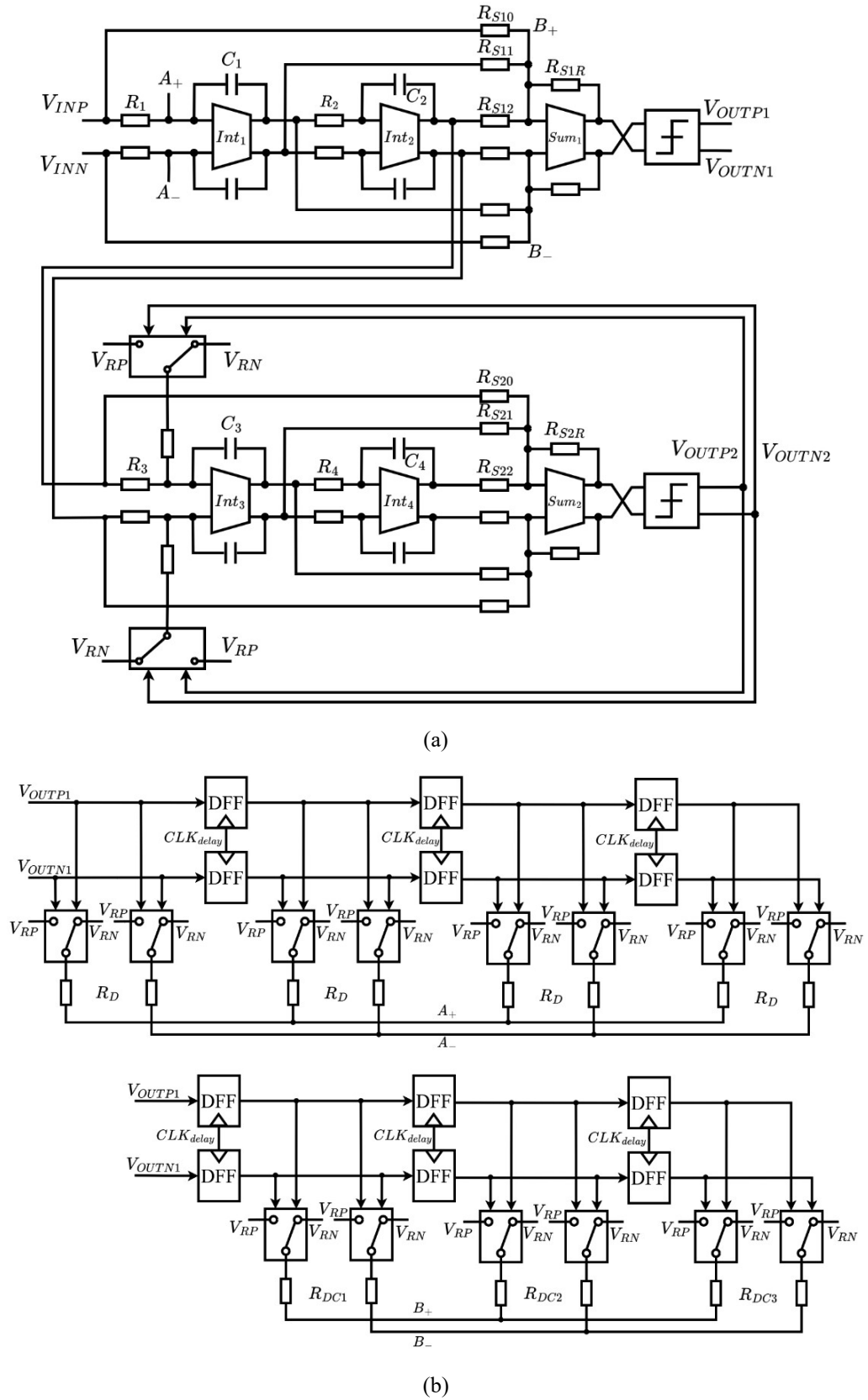


図 6-4 設計した 2-2 FIR-MASH の回路図

(a) 変調器, (b) FIR-DAC

6.4 シミュレーション結果

前章と本章で設計した 2-2 MASH と 2-2 FIR-MASH を HSPICE でシミュレーションし, MATLAB にてスペクトル解析を行った. シミュレーション条件を表 6-2 にまとめる.

表 6-2 シミュレーション条件

電源電圧	1.8[V]
信号帯域	24[kHz]
サンプリング周波数	3.072[MHz](OSR = 64)
DAC 参照電圧	$V_{RP} = 1.8[V]$, $V_{RN} = 0[V]$
入力正弦波の周波数	20.25[kHz](27/4096)
FFT ポイント数	4096
窓関数	Hann 窓

図 6-5 はキャリブレーション済み 2-2 FIR-MASH の最大 SNR 時(入力振幅-2.85[dBFS])の PSD を示している. この図では, 信号帯域内においては帯域内雑音のノイズフロアと, 入力信号と同じ周波数成分のピークが確認できる. 帯域外においては 4 次のノイズシェイピング特性である 80[dB/dec]のスペクトルの傾きが確認できる.

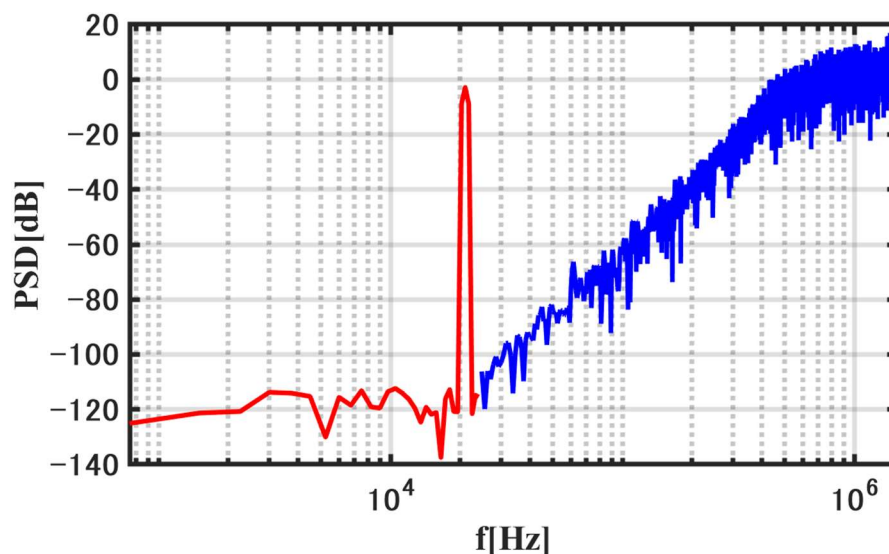


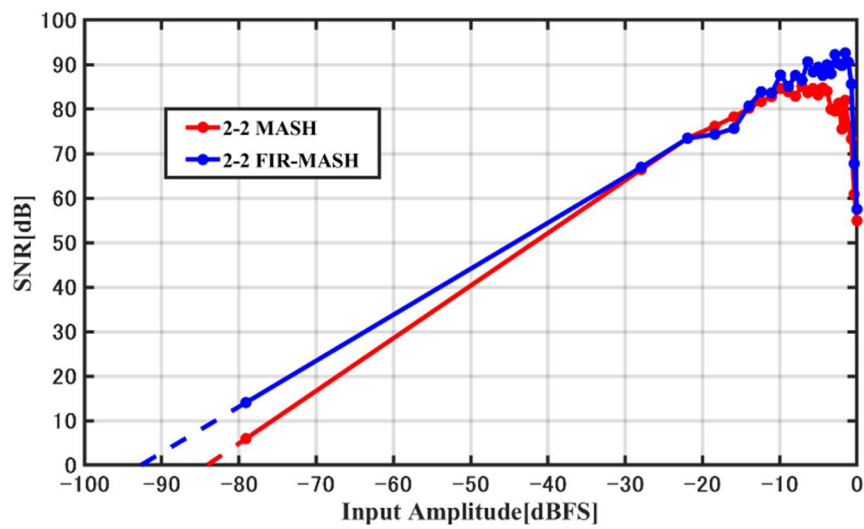
図 6-5 2-2 FIR-MASH の最大 SNR 時の PSD(赤:帯域内, 青:帯域外)

図 6-6 は 2-2 MASH と 2-2 FIR-MASH との SNR の比較を, デジタルフィルタのキャリブレーションの有無ごとに示している. 両方の変調器を比較して, キャリブレーションの有無にかかわらず共通している点は, FIR-MASH の方が最大 SNR 時の入力振幅が大きく, その分 SNR も高くなっている点である. これは FIR DAC が多値 DAC として働くため, 入力波形とフィードバック波形の偏差とループフィルタ内の振幅が削減され, より大きな入力振幅に耐えられる性質が想定通りに働いていると考えられる.

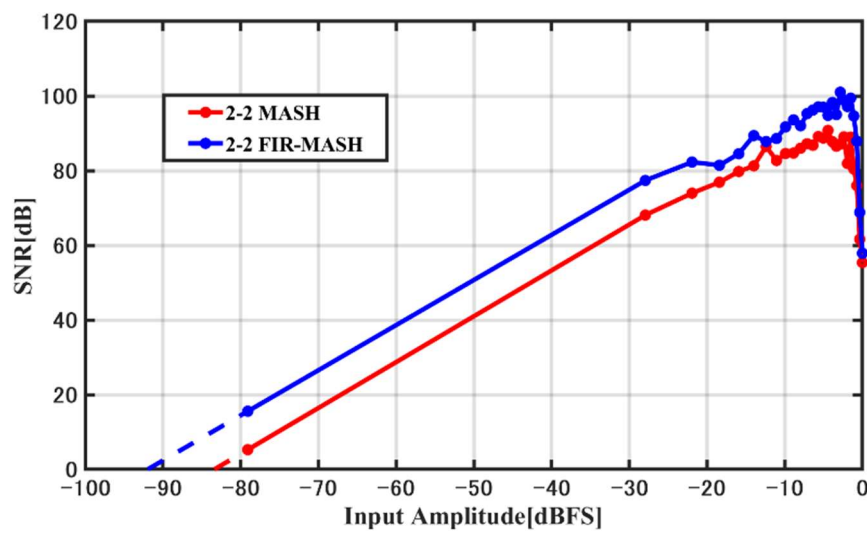
キャリブレーションの有無を比較すると, FIR-MASH かそうでないかに関わらず, キャリブレーション有の方が SNR が 10[dB]程度高く, これはアナログ-デジタルフィルタ間の差異によるノイズリークが抑えられていると考えられる. その中でも FIR-MASH は更に SNR が 10[dB]程度高く, FIR-DAC によ

る DAC パルス高さの低減によりジッタに起因する雑音が削減されたためであると考えられる。

結果、本章で設計した 2-2 FIR-MASH は、HSPICE シミュレーションにおいて、最大 SNR は 101.02[dB], MSA は -1.11[dBFS], DR は 90.86[dB] を達成した。



(a)



(b)

図 6-6 2-2 MASH と 2-2 FIR-MASH の SNR

(a) キャリブレーション無, (b) キャリブレーション有

第7章 まとめ

この研究では、オーディオフォーマットに対応できる高 SNR を達成可能な 1bit CT $\Delta\Sigma$ のアーキテクチャとその設計手法を示した。アーキテクチャには 2 次 CIFF を 2 段接続した 2-2 MASH を基本として選択し、更に FIR-DAC を組み合わせた 2-2 FIR-MASH を設計した。これらのアーキテクチャはループフィルタ内の振幅が削減されるため低歪であり、高い安定性と高次のノイズシェイピング特性が両立できる。2-2 MASH に FIR-DAC を組み合わせれば、更に低歪化とジッタ感度低減が可能であり、高い SNR が達成できると考えたためである。

ループフィルタの設計では、DT-CT 変換に加えて非理想性検証を行った。CT $\Delta\Sigma$ の性能を劣化させる過剰ループ遅延、DAC パルスジッタ、OTA の有限利得と GBW を中心にパラメータを掃引しながら IBN を調査し、SNR 劣化を抑制できるように回路仕様を定めた。

非理想性検証で判明した回路仕様を基に OTA、量子化器、DAC を設計した。OTA はいくつかのアーキテクチャを考察し、その中から OTA と GBW の要件両方を達成できるテレスコピック型を選択した。また、OTA 本体の性能を劣化させないよう CMFB 等の周辺回路を設計した。量子化器では比較器出力側のラッチ回路の代わりに DFF を導入することで信号依存遅延が緩和され、ジッタとループ遅延の要件両方を達成出来たことを示した。

最後に、設計した 2-2 MASH と 2-2 FIR-MASH を HSPICE シミュレーションにより評価した結果、24[kHz]の帯域幅で最大 SNR は 101.02[dB]、MSA は -1.11[dbFS]を達成できることが分かった。CIFF と MASH 構造の組み合わせによる低歪化設計、非理想性検証による SNR 劣化の抑制、デジタルフィルタのキャリブレーション、FIR-DAC の導入が 1bit CT $\Delta\Sigma$ の高 SNR 化に対して有効であると考えられる。

しかし、2-2 MASH を実装した試作チップでは正常な結果が得られず、実チップでは負帰還が機能していないことが判明した。この問題は量子化器と DAC の改善で対処できる可能性があるが、各回路で個別の検証を行い、実測でもシミュレーション通りに動作する回路を設計することが今後の課題である。

謝辞

本研究の遂行にあたり、多くの方々に丁寧なご指導ご協力頂きました。特に主指導教官である高知工科大学電子・光工学コースの橘昌良教授には、ご指導ご鞭撻を賜り深く感謝申し上げます。副査を担当していただいた高知工科大学電子・光工学コースの密山幸男教授、廖望先生をはじめとした教職員の方々にも、多くのご指導賜り誠に感謝いたします。最後に橘研究室および密山研究室の皆様には、本研究において多大なご助言、ご協力やそのほか雑談など大変お世話になりました。心よりお礼申し上げます。

本研究は、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム株式会社および TOPPAN ホールディングス株式会社の協力で行われたものである。

参考文献

- [1] S. Pavan, R. Schreier, G. C. Temes, $\Delta \Sigma$ 型アナログ/デジタル変換器入門, 東京, 丸善出版, 2019.
- [2] M. Ortmanns, F. Gerfers, Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations, Berlin, Springer Science & Business Media, 2006.
- [3] I. Arnaldi, “Design of an Audio Continuous Time Sigma-Delta ($\Sigma \Delta$) AD-Converter,” 2015.
- [4] 相良岩男, A/D・D/A 変換回路入門, 東京, 日刊工業新聞社, 2003.
- [5] 雨宮好文, 佐藤幸男, 佐波孝彦, 信号処理入門, 東京, オーム社, 2019.
- [6] I. Arnaldi, Design of Sigma-Delta Converters in MATLAB/Simulink, Cham, Springer Nature, 2019.
- [7] J. Silva, U. Moon, J. Steensgaard, G. C. Temes, “Wideband low-distortion delta-sigma ADC topology,” *IET Electronics Letters*, vol.37, no.12, pp. 737-738, June 2001.
- [8] T. Hayashi, Y. Inabe, K. Uchimura, T. Kimura, “A multistage delta-sigma modulator without double integration loop,” *1986 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 182-183, February 1986.
- [9] M. Ortmanns, F. Gerfers, Y. Manoli, “A case study on a 2-1-1 cascaded continuous-time sigma-delta modulator,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.52, no.8, pp. 1515-1525, August 2005.
- [10] J. A. Cherry, W. M. Snelgrove, “Excess loop delay in continuous-time delta-sigma modulators,” *IEEE Transactions on Circuits and Systems II: analog and digital signal processing*, vol.46, no.4, pp. 376-389, April 1999.
- [11] S. Billa, S. Dixit, S. Pavan, “Analysis and Design of an Audio Continuous-Time 1-X FIR-MASH Delta-Sigma Modulator,” *IEEE Journal of Solid-State Circuits*, vol.55, no.10, pp. 2649-2659, October 2020.
- [12] M. Ortmanns, F. Gerfers, Y. Manoli, “Compensation of Finite Gain-Bandwidth Induced Errors in Continuous-Time Sigma-Delta Modulators,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.51, no.6, pp. 1088-1099, June 2004.
- [13] J. A. Cherry, W. M. Snelgrove, “Clock jitter and quantizer metastability in continuous-time delta-sigma modulators,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol.46, no.6, pp. 661-676, June 1999.
- [14] L. Hernández, A. Wiesbauer, S. Paton, A. Di Giandomencio, “Modelling and optimization of low pass continuous-time sigma delta modulators for clock jitter noise reduction,” *2004 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. I-1072, May 2004.
- [15] 長野英生, LTspice で解析 CMOS 回路入門, 東京, CQ 出版株式会社, 2020.
- [16] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, 3rd ed., New York, Oxford Univ. Press, 2012.
- [17] B. Razavi, Design of Analog CMOS Integrated Circuits, 2nd ed., New York, McGraw-Hill Education, 2017.
- [18] R. J. Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd ed., New Jersey, John Wiley & Sons, 2010.

- [19] P. R. Gray, P. J. Hurst, S. H. Lewis , R. G. Meyer, Analysis and design of analog integrated circuits, 5th ed., New York, John Wiley & Sons, 2009.
- [20] 名倉徹, LSI 設計常識講座, 東京, 東京大学出版会, 2011.
- [21] P. Shettigar , S. Pavan, “Design Techniques for Wideband Single-Bit Continuous-Time Modulators With FIR Feedback DACs,” *IEEE Journal of Solid-State Circuits*, vol.47, no.12, pp. 2865-2879, December 2012.
- [22] D. K. Su , B. A. Wooley, “A CMOS oversampling D/A converter with a current-mode semidigital reconstruction filter,” *IEEE journal of solid-state circuits*, vol.28, no.12, pp. 1224-1233, December 1993.

付録

A 性能評価における設定項目

A-1 Simulink のソルバー設定

Simulink にはソルバーと呼ばれる、モデルの微分方程式を解くためのプログラムがあり、ソルバー設定にシミュレーション精度と計算時間が左右される。本研究ではシステムレベル設計において Simulink を使用しているが、デフォルトのソルバー設定では HSPICE シミュレーションとの乖離が生じやすいことが分かった。そこで、ある程度計算時間を妥協して、モデルを正確に解くために以下の様にソルバーを設定した。

ソルバーの選択

タイプ: 可変ステップ ▼ ソルバー: ode15s (stiff/NDF) ▼

▼ ソルバーの詳細

最大ステップ サイズ:	auto	相対許容誤差:	1e-9
最小ステップ サイズ:	auto	絶対許容誤差:	auto
初期ステップ サイズ:	auto	☒ 絶対許容誤差を自動的にスケール	
ソルバーのリセット メソッド:	ロバスト ▼	最大次数:	5 ▼
形状の保存:	すべて無効 ▼		
連続的な最小ステップ数:	1		
ソルバーのヤコビ メソッド:	自動 ▼		

図 A-1 Simulink のソルバー設定

$\Delta\Sigma M$ はデジタル領域とアナログ領域が混在し、解に急峻な変化が生じる場合があるため、陰解法のソルバーである ode15s、シミュレーションステップは可変ステップ、ソルバーのリセットメソッドをロバストに設定した。可変ステップソルバーは解を設定した許容誤差以下に抑えるようにシミュレーションステップを調整する。ソルバーの最大次数は設計した変調器の次数を基準に、余裕を持たせて設定した。

A-2 MATLAB スクリプト

本研究では設計した変調器を HSPICE シミュレーションにかけ、波形ビューアで変調器の出力波形をテキストファイルに出力し、MATLAB Live Editor 上で作成したスクリプトによってテキストファイルの読み込みと解析を行った。以下に作成したスクリプトを示す。

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% パラメータ設定 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

N = 4096;
OSR = 64;
fin_hz = 20.25*(10^3);
clkfreq = 3.072*(10^6);
clkperiod = 1/clkfreq;
inband_hz = clkfreq/OSR/2;
inamp = 0.0001:0.035996:0.9;
swp = length(inamp); % 入力振幅の sweep 回数
stg = 2; % 変調器の段数

FIRz = 0.25*filt([1 1 1 1],[1],1) % FIR フィルタの設定
Az = filt([0 0.7917 0.7083 -0.7917 0.2917],[1],1)
Bz = 16*filt([1 -2 1],[1],1)
DF1 = FIRz*Az; % デジタルフィルタの設定
DF2 = Bz;

bin_fin = fin_hz*(N/clkfreq);
bins_inband = 1:inband_hz*(N/clkfreq);
bins_signal = ((bin_fin+1)-1):((bin_fin+1)+1);
bins_noise = setdiff(bins_inband,bins_signal);
bins_all = 1:(N/2);
bins_outband = setdiff(bins_all,bins_inband);
w = hann(N,'periodic'); % 窓関数の設定
w1 = norm(w,1);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% 変調器出力波形の前処理 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

t_strt = clkperiod*10+clkperiod/2; % 最初のサンプルの時刻
t_end = t_strt + clkperiod*(N-1); % 最後のサンプルの時刻
tq = transpose(t_strt : clkperiod : t_end); % サンプル時刻の配列

for i = 1:stg
    if i == 1
        dsm = readmatrix("mash22fir_stg1.txt"); % シミュレーションファイル読み込み
    end
    if i == 2
        dsm = readmatrix("mash22fir_stg2.txt");
    end

    for j = 1:swp
        dsm_rm = rmmissing(dsm(:,[1 j+1])); % NaN を削除
        [C,ia,ic] = unique(dsm_rm(:,1),'rows'); % 時刻が同じデータを削除
        dsm_un = dsm_rm(ia,:);

        vq = interp1(dsm_un(:,1),dsm_un(:,2),tq); % 内挿値のみを抽出
        vlog = logical(vq>0.9); % 2 値化
        vnorm(:,j,i) = normalize(vlog,"range",[-1,1]); % (0,1)→(-1,1) 正規化

        clearvars dsm_rm dsm_un C ia ic
    end
    clearvars dsm
end
```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% デジタルフィルタ出力の FFT %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
n = 0:1:N-1;

for i = 1:stg
    for j = 1:swp
        if i == 1
            dfout(:,j,i) = lsim(DF1,vnorm(:,j,i),n);    % デジタルフィルタ出力の計算
        end
        if i == 2
            dfout(:,j,i) = lsim(DF2,vnorm(:,j,i),n);
            y = dfout(:,1) + dfout(:,2);
        end
    end
end

for i = 1:swp
    y_fft(:,i) = fft(w.*y(:,i))/(w1/2);    % デジタルフィルタ出力の FFT
end

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% PSD,SNR,IBN の計算 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

semilogx(bins_all/N,dbv(y_fft(bins_all,22)));    % PSD の描画

for i = 1:swp
    SNRatio_mash(i) = dbp( sum(abs(y_fft(bins_signal,i)).^2) /
sum(abs(y_fft(bins_noise,i)).^2) );    % SNR の計算
    IBN_mash(i) = dbp(sum(abs(y_fft(bins_noise,i)).^2));    % IBN の計算
End

plot(dbv(inamp/0.9),SNRatio_mash,"-o");
plot(dbv(inamp/0.9),IBN_mash,"-o");

```