

BGR 回路の検討 ―温度特性向上を念頭においた回路設計―
Design of Low Temperature Coefficient Band-Gap Voltage Reference
1275053 永田 士竜 (回路工学研究室)
(指導教員 橋 昌良 教授)

1. はじめに

大規模集積回路(LSI: Large-Scale Integration)の製造における微細化技術の向上に伴い、製造時に発生する素子バラツキがアナログ回路の設計において問題になっている。電子機器に用いられる代表的なアナログ回路として基準電圧回路があり、電圧変動や使用環境に依らない高い精度が求められる。本研究では基準電圧回路の一種である BGR(Band-Gap Reference)回路を対象として、温度依存性の低い回路設計を目的とした。本研究で使用した製造プロセスは Rohm0.18μm である。

2. 提案する BGR 回路の設計

BGR 回路は正の温度係数を持つ PTAT 電圧と負の温度係数を持つ CTAT 電圧を加算し、出力電圧を得ている。本研究で使用した BGR 回路の回路図を図 1 に示す[1]。また、回路に生じるオフセット電圧を考慮した全体の出力電圧は式(1)として書くことができ、係数である抵抗値を適切に設定することで温度に依存しない出力電圧の生成が可能である。

$$V_{OUT} = \frac{R_3}{R_1} \left\{ V_T \ln K + \frac{R_1}{R_{2A} + R_{2B}} V_{EB1} + \left(1 + \frac{R_{2A}}{R_{2B}} \right) V_{OS} \right\} \quad (式 1)$$

オフセット電圧抑制の手法としてダイオードの並列数 K の変更を考え、K=10, 14, 16 の回路を新たに設計した。

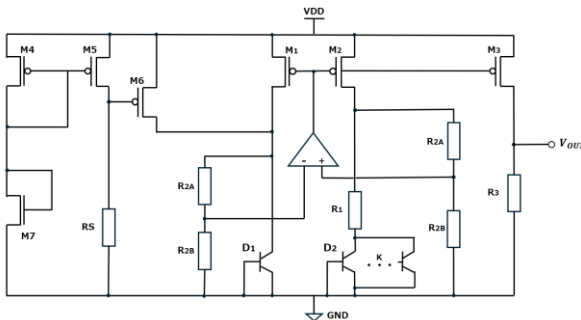


図 1 BGR 回路の回路構成[1]

次に温度特性向上のためのもう一つの設計手法として 2 コア BGR 回路を提案する。2 コア BGR 回路のコア回路図を図 2 に示す[2]。各コアにて正と負それぞれの温度特性をもつ電圧を生成し、加算部で合成することで出力電圧を得る回路である。本研究では図 2 の回路コアにスタートアップ回路を搭載した回路を設計した。

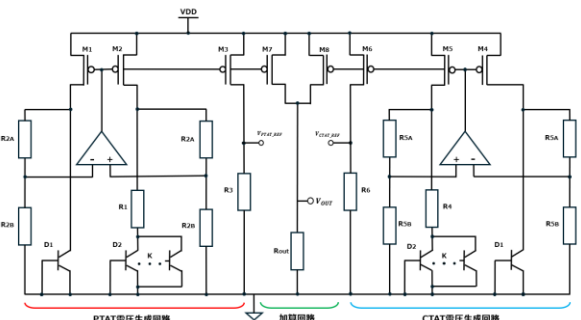


図 2 2 コア BGR 回路の回路構成[2]

3. 試作 BGR 回路の評価

シミュレーションを基に試作した BGR 回路の温度特性についてシミュレーション値との比較及び評価を行った。温度特性の実測では電源電圧 1.8V に固定し、0℃~100℃まで温度を変化させたときの出力電圧の変動を確認した。図 3-図 6 に各 BGR 回路の温度特性の実測結果を示す。並列数が大きくな

るに伴い、バラツキが 3%, 5%, 8%と大きくなった。また、2 コア回路ではバラツキ 12%と本研究で試作した回路の中では最も大きいバラツキを示したものの先行研究[1]と比較すると改善された結果となっている。

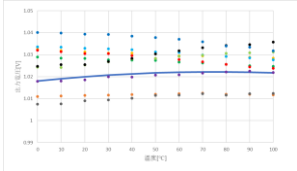


図 3 K=10 温度特性

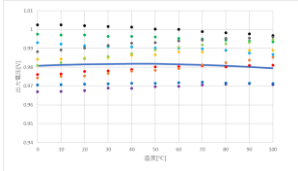


図 4 K=14 温度特性

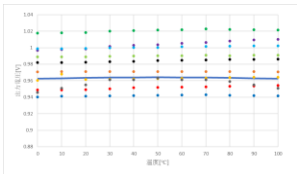


図 5 K=16 温度特性

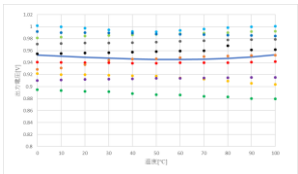


図 6 2 コア温度特性

次に温度変化に対する強度を表す TC(Temperature Characteristic)の値について、計算式を式(2)に示す。本研究では 100ppm/℃以下を設計目標として設計を行った。

$$TC = 10^6 \times \left(\frac{V_{max|T} - V_{min|T}}{V_{Average|T}} \right) \times \left(\frac{1}{T_{max} - T_{min}} \right) \quad (式 2)$$

表 1 に試作 BGR 回路の各チップにおける TC 値の計算結果を示す。並列数を変更した回路では 8 チップ以上が設計目標を満たす結果となったのに対し、2 コア BGR 回路ではわずか 4 チップのみが設計目標を満たした。

表 1 試作回路のチップごとの TC 値

	BGR_K_10	BGR_K_14	BGR_K_16	BGR_2core
Chip1	39.52	47.58	75.51	195.38
Chip2	40.71	40.71	48.33	173.09
Chip3	79.61	50.76	59.10	31.82
Chip4	20.17	111.23	4.09	247.66
Chip5	45.64	45.64	162.14	58.61
Chip6	57.22	64.63	36.21	101.23
Chip7	68.18	138.31	28.71	111.17
Chip8	107.19	57.22	44.18	136.61
Chip9	48.36	78.89	181.83	82.83
Chip10	80.09	15.21	29.94	71.97
最大値	107.19	138.31	181.83	247.66
最小値	20.17	15.21	4.09	31.82
平均値	58.669	65.018	67.004	121.037

4. まとめ

本研究では BGR 回路の特性の一つである温度依存性に着目し、温度特性の向上を目的としてダイオードの並列数の変更した回路と 2 コアの BGR 回路を提案し、新たに回路を 4 種類設計した。各回路の実測結果から並列数の変更によるオフセット電圧の間接的な抑制を確認できた。今後の特性向上のための手法として、より低電圧の出力電圧となる回路の設計や 2 コア回路においては加算回路を改善することが挙げられる。

参考文献

[1] 増田梓月 “バンドギャップ基準電圧回路のための素子バラツキの抑制を目的とした設計手法,” 高知工科大学工学研究科基盤工学専攻電子・光工学コース, 修士論文, 2021
[2] Chi-Wah Kok, Wing-Shan Tam, “CMOS Voltage Reference An Analytical and Practical Perspective”, WILEY, 2013.