

2 段 MASH 構成による $\Delta\Sigma$ 変調器の低歪化設計

Design of Low-Distortion Two-Stage MASH $\Delta\Sigma$ Modulator

1275055 平井 幸弥 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

デジタル集積回路の高速化や低電圧化に伴い、アナログ-デジタル(AD)変換器に対しても同等の速度と解像度に対する需要が増加している。AD 変換器の 1 種であるデルタシグマ変調器($\Delta\Sigma$)はノイズシェーピングにより信号帯域内の量子化雑音を低減し SNR を高めることができる。また、ループフィルタを連続時間積分器で構成すれば高速化が可能である。しかし、フィルタの高次化に伴う安定性の低下や、回路の非理想性による SNR 劣化といった設計上の課題が存在する。

本研究の目的は Rohm0.18 μ m プロセスを使用して、オーディオ向け 1bit CT $\Delta\Sigma$ を設計することである。その過程で CT $\Delta\Sigma$ の設計手法と非理想性を補償するための技術を検証し、シミュレーションにより有効性を評価した。

2. 2-2 MASH の設計

2.1 アーキテクチャ

ループフィルタの高次化により量子化雑音を低減できる一方で、帯域外利得の増加により変調器は不安定化しやすくなる。そこで、図 1 に示す 2 次 CIFF を 2 段接続した MASH 変調器を採用した。これらのアーキテクチャはループフィルタ内の振幅が削減されるため低歪であり、高い安定性と高次のノイズシェーピング特性が両立できる。

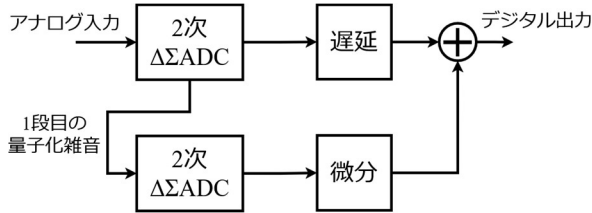


図 1 2 段 MASH 構成

2.2 非理想性検証

アーキテクチャ設計段階では線形モデルを用いるが、回路はトランジスタで構成されるためその動作は非線形である。OTA の有限利得と有限 GBW, DAC パルスの遅延は理想フィルタ特性との不一致の原因となり、DAC パルスのジッタはフィルタでの積分誤差を引き起こす。いずれも変調器の SNR を劣化させる。そこで、Simulink にて積分器、量子化器、DAC に対して非理想性を記述した回路ブロックを設計し、各パラメータを変化させたときの IBN を調査した。

2.3 キャリブレーション

MASH 変調器におけるノイズキャンセルのためのデジタルフィルタは、ループフィルタ特性との誤差によりノイズリークが発生する。そこで、回路の非理想性の低減に加えてデジタルフィルタのキャリブレーションを行い更に SNR を高める設計とした。キャリブレーションでは、デジタルフィルタの重みを周波数領域での最小二乗法によって帯域内の雑音電力を最小化するように決定した。

2.4 回路設計

非理想性検証で設定した DC 利得と GBW の設計要件を基に、OTA として図 2(a)に示すテレスコピックカスコード型を選択した。OTA を安定して動作させるため、CMFB の同相電圧検出方法は抵抗分圧とし、並列にキャパシタを接続した。また、CMFB アンプの負荷トランジスタをダイオード接続し、フィードバック利得を調整している。

量子化器は図 2(b)に示す通りダイナミック型コンパレータに DFF を接続して構成した。コンパレータ単体では信号依存遅延のばらつきが生じるため、遅延させたクロックに同期した DFF を用いて、追加の遅延を導入する代わりに DAC パ

ルスのジッタを低減する構成とした。

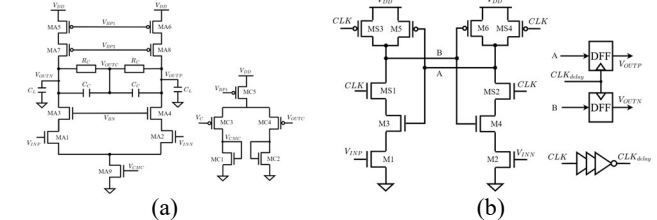


図 2 (a) OTA 回路図, (b) 量子化器

3. FIR-DAC の実装

設計した 2-2 MASH を基に、初段の変調器に FIR-DAC を追加した 2-2 FIR-MASH を設計した。図 3 に示すように、FIR-DAC はローパスフィルタとして設計し、1bit 量子化器の出力パルスを多値信号化する。そのため、入力波形とフィードバック波形の偏差が小さくなることによるループフィルタの低歪化と、ジッタ感度の低減が可能であり、高 SNR 化が達成できると考えた。

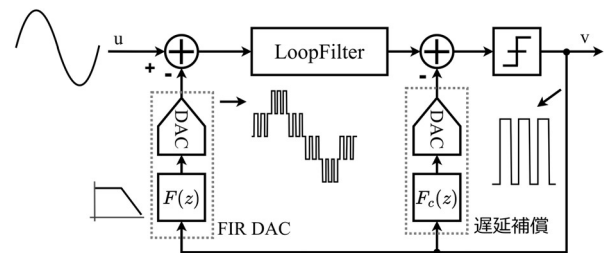


図 3 FIR フィードバックの模式図

4. シミュレーション結果

図 4 に HSPICE シミュレーションの結果を示す。2-2 FIR-MASH の場合、入力振幅-2.9[dBFS]時に最大 SNR は 101[dB] を達成した。また、FIR-MASH は比較的に最大安定振幅が高く、一定して 10[dB]程度の SNR の改善がみられることから、FIR-DAC によるループフィルタの低歪化とジッタ感度低減が想定通りに働いていると考えられる。

従って、CIFF と MASH 構成の組み合わせによる低歪化設計、非理想性検証による SNR 劣化の抑制、デジタルフィルタのキャリブレーション、FIR-DAC の導入が 1bit CT $\Delta\Sigma$ の高 SNR 化に対して有効であると考えられる。

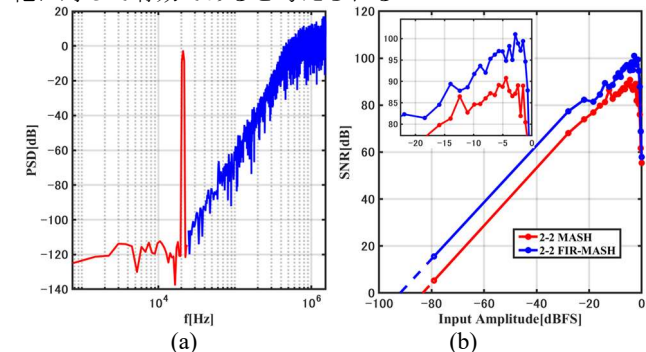


図 4 (a) 2-2 FIR-MASH の PSD, (b) SNR 比較

謝辞

本研究は、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。