

セルフタイム回路によるデータ駆動型プロセッサ向き入出力 I/F 回路の構成法

1275097 植元 陸 【コンピュータ構成学研究室】

A Study on Adjustable I/O Interface Circuit for Self-Timed Data-Driven Processors

1275097 Riku UEMOTO 【Advanced Computer Engineering Lab.】

1 はじめに

近年の IoT エッジ機器には、より柔軟な機能性、高性能化と省電力動作が求められている。セルフタイム回路により構成されたデータ駆動型プロセッサ DDP(Data-Driven Processor) はデータの多重並列処理により高性能化を実現しつつ、データ到着時のみ動作することで省電力動作が可能であり、柔軟な機能性を提供可能な FPGA(Field Programmable Gate Array) 上に実装することで IoT エッジ機器のコアとして有望である。

非同期回路である DDP は、従来の同期回路によるアプリケーションプロセッサ AP(Application Processor) と連携することが実用的である。この場合、動作タイミングの違いによる回路の誤動作を防ぎつつ DDP の処理能力に合わせて入出力するために、タイミング同期、バッファリング、プロトコルおよびデータ変換機能を持つ I/F 回路 (DDP I/F) が必要となる [1]。本研究では、これらの機能の実現に加え、FPGA の柔軟性を活かして、様々な設計仕様（スループットや信頼性等の設計目標、応用領域に特化したアーキテクチャ、あるいは、FPGA チップのグレード等）の変更に対して、チューニング可能な DDP I/F 回路の構成法について提案する。

2 機能性および信頼性

AP-DDP 間の一時的な転送レートの変動に対応するため、FIFO を用いたバッファリング機能が必要となる。

AP-DDP 連携システムでは同期-非同期回路間でデータが転送される。転送時にクロック同期で動作する同期回路上の DFF(D Flip-Flop) に非同期信号を入力した場合、Setup/Hold 時間制約に違反し出力信号が不安定になるメタステーブル状態が発生する可能性があり、回路の誤動作につながる。一般的に、誤動作確率を低減し信頼性を高めるために、DFF を n 段カスケード接続した n -flop synchronizer[2] が用いられる。DFF 段数 n を増加させれば信頼性は向上するが遅延時間は増加するため、適切に設定する必要がある。この手法は同期化手法として広く採用されており、同期 FIFO との併用や、読書きが異なるタイミングで実行可能な非同期 FIFO の内部で empty/full フラグ生成にも利用可能である。

セルフタイム回路は、転送要求信号 send、転送許可

信号 ack を用いた 2-phase、または 4-phase ハンドシェイクによりデータ転送を制御するため、FIFO-DDP 間の転送制御プロトコルを変換する機能が必要となる。また、扱う形式に合わせたデータの変換機能も必要である。

本研究では、FIFO の種類に合わせたプロトコル変換回路をデータ転送時間が調整できるように設計し、 n -flop synchronizer を適切な位置に組込むことで、必要な機能性および信頼性を実現しつつ、スループットや信頼性を独立して調整できる回路構成法を検討した。

3 DDP 向き入出力 I/F 回路の構成法

本研究で提案する DDP I/F 回路の概要を図 1 に示す。Input/Output FIFO の基本構成は一般的な非同期 FIFO と同様であり、入出力データを一時的に保持しつつ、 n -flop synchronizer を用いて AP-DDP 間の動作タイミングを同期する。 n -flop synchronizer により発生する遅延はスループットに影響を与えないため、DFF 段数 n の増加により信頼性を独立して向上させられる。

DDP は処理に必要な情報をヘッダに付加したパケット形式でデータを扱うため、Packet Gen で内部のヘッダメモリにアクセスしてパケットを生成し、Data Extract でデータを抽出することで、データの変換を行う。

Input/Output C-element は FIFO-DDP 間の転送制御プロトコルを変換する。特に、4-phase ハンドシェイクに対応した Input C-element は図 2 のように構成され、empty 信号をもとに Input FIFO の読出しクロック rclk、およびヘッダメモリの読出しクロック hclk を生成し、DDP 内のセルフタイム回路との間で send、ack によ

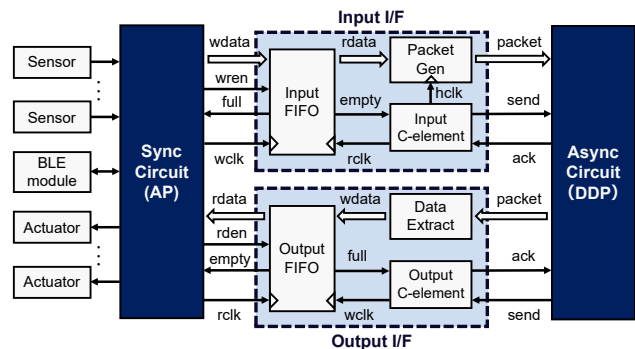


図 1 AP-DDP 連携システムにおける DDP I/F の構成

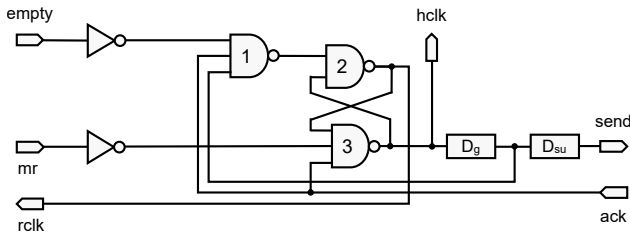


図 2 Input C-element (4-phase)

るハンドシェイクを行う。D_g は NAND1 におけるグリッチの発生を防ぐため、D_{su} はローカルクロック信号のタイミング保証用の遅延素子であり、この遅延量を調整してスループットを増減できる。本研究では、2-phase ハンドシェイクに対応した Input/Output C-element も設計し、DDP 側の仕様に合わせて選択できるようにした。

4 評価

本研究では、提案 DDP I/F (Async-FIFO I/F) に加え、同期 FIFO による DDP I/F (Sync-FIFO I/F) を設計し、AMD 社 FPGA チップの Zynq-7010(廉価版)、および ZU3EG(高性能版) 上に実装して、信頼性、スループット、リソース使用量について比較評価した。

4.1 典型的な設計仕様における評価

Input/Output FIFO サイズを 23 bit × 32 word、ヘッダメモリサイズを 22 bit × 128 word、同期回路側のクロック周波数を 50 MHz、DDP 内のセルフタイム回路に含まれる遅延素子、および Async-FIFO I/F の Input/Output C-element に含まれる遅延素子の遅延量を全て 4 ns に設定し、Zynq-7010 を用いて評価した。信頼性については、MTBF (Mean Time Between Failure) の公式 [3] から導出した式 (1) により算出する n-flop synchronizer の誤動作確率 P_{mal} を用いた。

$$P_{mal} = \frac{1}{MTBF \times F_C} \times 10^6 = \frac{T_W \times F_D}{e^{S/\tau}} \times 10^6 \quad (1)$$

評価の結果、Async-FIFO I/F と Sync-FIFO I/F の信頼性は同等であり、2-flop は 2.6×10^{-185} ppm、3-flop は 4.1×10^{-386} ppm であった。一般的な IoT アプリケーションに要求される 10 ppm を目標とした場合、クロック周波数 50 MHz の条件下では 2-flop で十分な信頼性を達成できた。また、前者を組み込んだ 4-phase セルフタイム回路用の各 I/F 回路のスループット Tp、リソース使用量 Slice を表 1 に示す。

表 1 スループット Tp およびリソース使用量 Slice

FIFO type	Input I/F		Output I/F	
	Async	Sync	Async	Sync
Tp [M pps]	31.9	8.3	38.8	8.3
Slice	18	7	16	6
Tp/Slice	1.8	1.2	2.4	1.4

Input I/F および Output I/F のどちらも、Async-FIFO I/F の方が Sync-FIFO I/F よりも Slice 数が 2 倍強になるが、スループットがそれぞれ 3.8 倍、4.7 倍に向上し、Slice 数あたりのスループット (Tp/Slice) は、どちらも Async-FIFO I/F の方が高く優れていることが示された。他の回路構成でも同様の結果が得られた。

4.2 設計仕様の変更に対する評価

前節のスループットおよび信頼性を 100 % として、これらの設計目標の変更要求に対して適応可能な性能について評価した。図 3 より、Input I/F においてスループット目標を変更した場合、両 I/F ともに 80 % から 120 % の範囲でスループット変更に適応可能である。加えて、Sync-FIFO I/F はスループットに対して信頼性が反比例して変化するのに対し、Async-FIFO I/F は信頼性が一定である。また、Output I/F や、信頼性目標値を変更したときにも同様の評価結果を確認した。

同様に、データやメモリサイズのスケール変更があった時の性能について評価した結果、両 I/F ともにスケール変更に適応可能であり、著しい性能劣化もなかった。

加えて、より高性能な ZU3EG を用いてこれらの評価を行った結果、Zynq-7010 と同様の評価結果を確認した。また、より優れたスループットおよび信頼性が得られ、FPGA チップのグレード変更にも適応可能である。

5 まとめ

本研究では、セルフタイム回路による DDP 入出力 I/F 回路として非同期 FIFO を用いた Async-FIFO I/F の構成法を提案し、Sync-FIFO I/F と同等の信頼性で、スループットが少なくとも 3.8 倍以上を達成し、Slice 数あたりのスループットにおいても優れていることが確認できた。また、様々な設計仕様を変更した場合の評価により、スループットと信頼性を独立して変更でき、より優れたスケーラビリティを有することが示された。

参考文献

- [1] R. Uemoto, et al., “Reliable I/F circuit for embedded self-timed data-driven processors,” ESCS’24, 2024.
- [2] S. Beer, et al., “Eleven Ways to Boost Your Synchronizer,” IEEE Trans. VLSI Syst., 23(6), 2015.
- [3] S. Beer, et al., “The devolution of synchronizers,” ASYNC 2010, pp. 94–103, 2010.

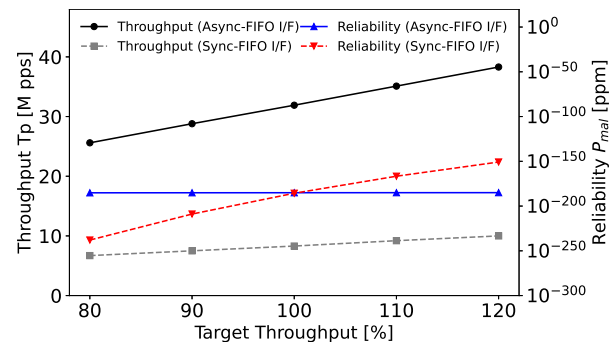


図 3 スループット目標変更に対する性能変化 (Input I/F)