

セルフタイム型データ駆動プロセッサ搭載 FPGA ボードの電力推定法

1275110 松坂 拓海 【 コンピュータ構成学研究室 】

A Study on Power Estimation of FPGA Board Equipped With Self-Timed Data-Driven Processor

1275110 Takumi MATSUSAKA 【 Advanced Computer Engineering Lab. 】

1 はじめに

近年, DX 化が推進され IoT 技術が目覚ましい進歩を遂げている. 多様化する応用に対応するために IoT デバイスにおいては高い計算性能, 省電力性と設計柔軟性が重要である. これに対して, セルフタイム型パイプライン (STP) で実現されたデータ駆動型プロセッサ (以下 DDP) の FPGA 実装が有望である.

DDP は並列処理性能に優れることから高い計算性能を持っており, 非同期回路であるため省電力性に優れる. FPGA は設計柔軟性に優れ, 様々なラインナップがあるため, 目的に沿ったデバイスの選択ができる. 商用 FPGA の電力評価には商用 FPGA 設計ツール内に電力評価ツールが提供されている. しかし, 非同期回路に基づく DDP を FPGA に搭載する場合は, これらのツールは同期回路に特化しているため精度が低い. 加えて, 周辺回路を含めたボード全体の電力を評価をできない. そのため, 現状最も信頼できる電力評価法は DDP 搭載 FPGA ボードの電力を実測する方法である. しかし, この方法は電力評価タイミングが FPGA 設計工程終期になってしまうため, より早期の電力評価が必要なケースに対して有効な手段がない.

FPGA の電力評価法には商用 FPGA 設計ツール内の電力評価ツールのほかに, スプレッドシートベースの電力推定ツールや FPGA-SPICE などのシュミレータがある [1]. しかし, いずれも同期回路を想定していたり, 半導体プロセスパラメタの詳細情報を必要とし, 非同期回路を実装した商用 FPGA には不向きである. そのため, 本研究では, 独自の DDP 搭載 FPGA ボード電力推定モデルに基づく電力推定手法を検討した.

2 DDP 搭載 FPGA ボードの電力推定法

一般的に, FPGA 回路の電力に影響する主要要素として, ①回路構成, ②動作周波数, ③動作確率, ④FPGA デバイスの電力特性が挙げられる.

DDP は機能が異なる複数のステージで構成される非同期パイプライン回路である. その特徴として, ステージ毎に回路規模, データ処理, 動作タイミング, 単位時間当たりの動作頻度が異なることが挙げられる. そのため, DDP 搭載 FPGA ボードの電力推定モデルでは

DDP のステージ毎の電力を積算する必要がある.

①回路構成: DDP の 1 ステージは C 素子と Logic と DL からなる. FPGA 実装時, C 素子と Logic はそのほとんどが LUT で構成され, DL はそのすべてが Register で構成されるため, 回路構成はすべてのステージで LUT と Register が支配的である. 各ステージの LUT, Register の数は N_{LUT} , N_{Reg} とする.

②動作周波数: DDP は非同期回路だが, 各ステージのデータ処理時間や DDP への入力周期, DDP プログラムの特性から各ステージの動作周波数 f を導出できる.

③動作確率: 各ステージの動作確率は DDP プログラムで変化する. また, 同一ステージ内であっても, LUT と Register の動作確率が異なる. 以上を踏まえて, 動作確率を α_{LUT} , α_{Reg} とし, これらは DDP プログラムの特性も加味して決定する.

④デバイスの電力特性: 半導体プロセスパラメタは非公開なため, LUT や Register の電力 P_{LUT} , P_{Reg} は不明である. 電力推定にあたり事前に P_{LUT} , P_{Reg} を取得する必要がある. そのために, テスト用 STP の電力を実測し, 実測電力を目的変数, f , N_{LUT} , N_{Reg} を説明変数に用いて回帰分析を行い, 得られた係数を P_{LUT} , P_{Reg} とする. ある FPGA デバイスの P_{LUT} , P_{Reg} と切片は固有であり, 実装する回路に依存しない不変的なパラメタであると仮定する.

以上のことから本研究では, 全てのステージの電力を積算した値を DDP 全体の電力とし, そこに周辺回路やボード電力, Static 電力からなる P_{Others} を含めた値を DDP 搭載 FPGA ボードの電力 $P_{DDPonFPGA}$ と定式化した (式 1).

$$P_{DDPonFPGA} = \sum^{stage} P_{stage} + P_{Others} \quad (1)$$

$$P_{stage} = f(\alpha_{LUT} P_{LUT} N_{LUT} + \alpha_{Reg} P_{Reg} N_{Reg})$$

①回路構成, ②動作周波数, ③動作確率は FPGA 設計工程で取得し, ④デバイスの電力特性は事前に取得した P_{LUT} , P_{Reg} を使用して電力を推定する.

基礎的なモデル (式 1) のうち P_{LUT} , P_{Reg} を係数 X_1 , X_2 に置き換えたのがモデル A (式 2) である. このモデルでは, 実測した STP 停止時電力を使用し, 目的変数

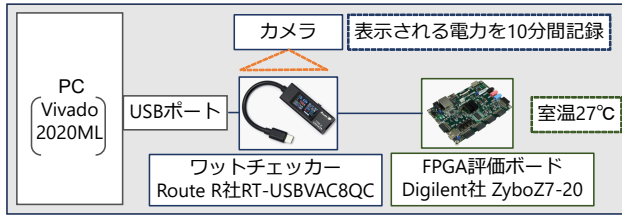


図 1 FPGA ボードの電力実測環境

を $((\text{実測電力}) - (\text{STP 停止時電力})) / f$ に、説明変数を $N_{LUT}:X_1, N_{Reg}:X_2$ として 2 変数重回帰分析を行う。(得られた切片) + (STP 停止時電力) を P_{others} とする。

$$P_{stage} = f(\alpha_{LUT}X_1N_{LUT} + \alpha_{Reg}X_2N_{Reg}) \quad (2)$$

一方、LUT と Regsiter はどちらも CMOS で構成され、素子当たりの電力差は極めて小さいと考えられる。これらをまとめて説明変数とすれば、計算過程で STP 停止時電力が不要になるので実測回数を減らし、導出過程を簡潔にできる。そこで、モデル B(式 3) では、目的変数を実測電力に、説明変数を $f \times (N_{LUT} + N_{Reg}):X_1$ とし、単変数重回帰分析を行う。得られた切片を P_{others} とする。

$$P_{stage} = X_1 f(\alpha_{LUT}N_{LUT} + \alpha_{Reg}N_{Reg}) \quad (3)$$

3 実装評価

本研究では Digilent 社 FPGA ボード ZyboZ7-20 を対象に実装評価を行った。商用 FPGA 設計ツールは Vivado2022 を使用した。まず、 P_{LUT}, P_{Reg} 取得のために、テスト用 STP を実装用周辺回路に接続して ZyboZ7-20 に実装し電力を実測する。このとき、Vivado 上で f, N_{LUT}, N_{Reg} を調べ、回帰分析を行い各係数を得る。そして、DDP を同様に ZyboZ7-20 上に実装し、電力を実測、実測電力とモデル A, B を用いて算出した推定電力を比較する。

実測の環境を図 1 に示す。電力の計測には USB ワットチェッカーを用い、PC の USB ポートと FPGA ボードをワットチェッカーを経由して接続、ワットチェッカーに表示される電力をカメラで記録した。ワットチェッカーは 1 秒に 2 回データが更新されるので、それを 30 秒間記録した合計 60 個のデータの平均をその回路の電力とした。室温は 25～27°C で実験を行った。

3.1 実測用周辺回路

ターゲットとなる STP 回路に接続する実測用周辺回路を図 2 に示す。この回路は、PLL で周期を変更したクロック信号を転送要求信号 Send としてターゲットに送る。ターゲットからの出力データは 7seg に出力し、動作確認に用いる。また、同じくターゲットから出力される Send 信号は同期化してカウンタに送る。カウンタは Send 信号を 100 回受信するのにかった時間を計測し、ターゲットの f の確認に用いる。

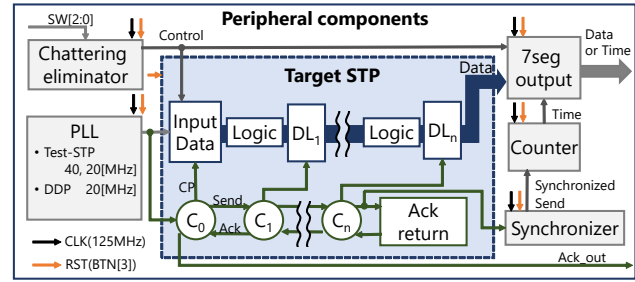


図 2 測定対象 STP 回路に接続する実測用周辺回路

3.2 電力測定モデルの P_{LUT}, P_{Reg} 取得

テスト用 STP 回路には、 $f:20, 40\text{MHz}$ 、パケット長:32bit, DL 段数:50, 100 段, Logic: インバータが 0, 2, 4, 6, 8, 10, 12 段の回路を用いた。DL 段数は N_{Reg} に、インバータ段数は N_{LUT} に影響する。計 28 通りのテスト用 STP の実測電力と f, N_{LUT}, N_{Reg} を調べ、各モデルに基づいて回帰分析を行った。得られた各モデルの係数を表 1 に示す。

表 1 各電力推定モデルの係数			
	X_1	X_2	Intercept
Model-A	1.8996E-13	4.63298E-13	-7.054E-10
Model-B	2.1323E-07	—	1.4809

3.3 DDP 搭載 ZyboZ7-20 電力推定モデルの評価

DDP を 4 コア搭載した ZyboZ7-20 の実測電力とモデル A, B を用いて推定した電力を比較した。データ部が 16bit, 32bit の DDP を使用し、DDP プログラムには FIR フィルタを使用した。モデル A, B の $f, \alpha_{LUT}, \alpha_{Reg}$ は、DDP プログラムの特性を考慮して決定した。

評価結果を表 2 に示す。結果より、モデル A の推定値が実測値に最も近似した。モデル B は、導出過程を簡略化した影響からか推定値が大きくなる傾向にあるが、実測値に近い値が得られた。

表 2 2 つのモデルによる推定値と実測値の比較			
単位 [W]	Model-A	Model-B	実測値
DDP Data:16bit	1.5554	1.5235	1.5057
DDP Data:32bit	1.5672	1.5335	1.5187

4 まとめ

DDP 搭載 FPGA ボードの電力推定法を提案した。Zybo Z7-20 を対象に実装評価を実施した結果、提案モデルは実測値に対して誤差 0.973～3.297% で電力を推定できることを確認した。今後、他の DDP プログラムや応用分野に特化した DDP アーキテクチャ等、異なる条件での推定精度の検証が必要である。

参考文献

- [1] Y. Nasser, et al., "RTL to Transistor Level Power Modeling and Estimation Techniques for FPGA and ASIC: A Survey," IEEE Trans. CAD IC Syst., vol. 40, no. 3, pp. 479–493, Mar. 2021.