

入力動作範囲を考慮した CMOS オペアンプの設計及び測定

吉丸 大地 (回路工学研究室)
(指導教員 橘 昌良 教授)

1. はじめに

近年、電子機器の低消費電力化に伴い、LSI の電源電圧は低下し続けている。しかし、電源電圧の低下はアナログ回路において「入力コモン・モード電圧範囲 (ICMVR)」を狭めるという本質的な課題を引き起こす。本研究では、ICMVR の拡大を目的として、基本となる 2 段構成オペアンプに加え、テレスコピック、フォールデッド・カスコード、および Rail-to-Rail オペアンプの計 4 種類の回路を設計した。これらについて、シミュレーションおよび試作チップによる実測評価を行い、各回路の特性と課題を明らかにすることを目的とする。

2. オペアンプの設計

本研究では、Rohm0.18 μ m CMOS プロセスを用い、電源電圧 1.8V にて 4 種類のオペアンプを設計した。まず、評価の基準となる基本的な 2 段構成を設計した。次に、高利得化を目的としたテレスコピックおよびフォールデッドを設計した。これらはカスコード構成により出力インピーダンスを高め、高利得を実現する。さらに、本研究の主目的である ICMVR の最大化を目指し、n 型および p 型の差動対を並列接続した Rail-to-Rail 入力段を持つ回路を設計した。図 1 にその代表的な回路構成を示す。各回路においてレイアウト設計を行い、チップ試作を実施した。

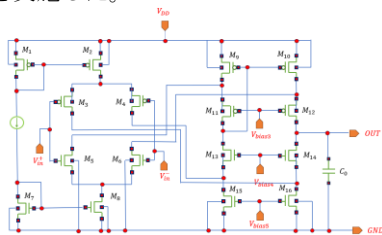


図 1 Rail-to-Rail オペアンプの回路図

3. 測定結果

本研究では、設計した 4 種類のオペアンプに対し、まず、抵抗負荷を用いたクロズドループ構成での特性評価をシミュレーションにより行った。その結果、広 ICMVR 化を目的としたテレスコピック、フォールデッド・カスコード、および Rail-to-Rail の 3 回路において、図 2 より、低周波利得がそれぞれ 4.37dB、5.77dB、2.2dB と、設計目標である約 20.8dB を大幅に下回る結果となった。これは後述する高い出力インピーダンスに起因する負荷効果の影響によるものである。

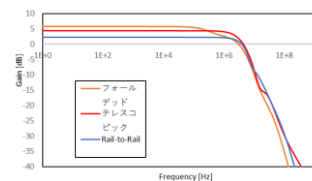


図 2 3 回路のクロズドループ・ゲイン

一方で、2 段構成オペアンプはシミュレーション上で良好な動作を示したため、試作チップを用いた実測評価を行った。実測の結果、20 個のチップ中 18 個で正常な増幅動作を確認し、図 3 に示す通り実測の平均利得は 13.5dB となった。また、入力動作範囲 (ICMVR) の実測においては、非反転入力電圧を 0.4V から 1.1V まで変化させた結果、全てのチップにおいて出力電圧が入力電圧に追従する線形動作を示し、表 1 より、設計通りの ICMVR を有していることを実証した。

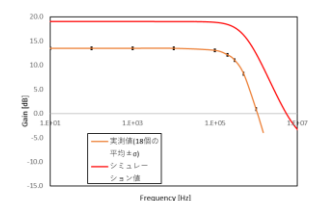


図 3 2 段構成オペアンプのクロズドループ・ゲイン

表 1 2 段構成オペアンプの入力動作範囲実測結果 (平均値)

非反転入力電圧 V_{inp} [V]	下限電圧 V_{inn} [V]	上限電圧 V_{inn} [V]	判定
0.4	0.401	0.403	動作可
0.9	0.886	0.895	動作可
1.1	1.075	1.09	動作可

4. 考察

本実測において、2 段構成オペアンプの利得がシミュレーション値を下回り、一部のチップが動作しなかった原因を調査するため、素子パラメータのバラつきを想定したオープンループゲインでのモンテカルロシミュレーションを実施した。

図 4 に示す通り、入力差動対 (M_1, M_2) の寸法バラつきによってオープンループゲインが大幅に変動し、0dB を下回る個体も確認された。このことから、製造プロセスにおける素子バラつきが動作点の逸脱を招き、クロズドループゲインの低下および不動の主因となったと考えられる。

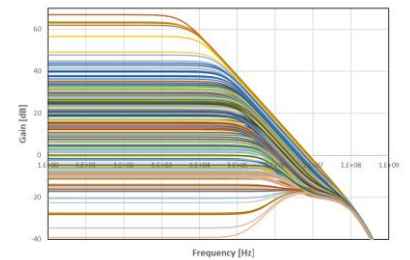


図 4 M_1, M_2 をバラつかせた時の電圧利得

また、広 ICMVR 化を目的とした 3 回路においてクロズドループゲインが消失した要因は、カスコード構成に起因する極めて高い出力インピーダンスにある。高出力インピーダンスを持つオペアンプに外部の帰還抵抗 (10[k Ω]) を接続したことで、出力電圧が減衰する負荷効果が顕著に現れたためと推察される。Rail-to-Rail 回路については、さらに相互コンダクタンス g_m の変動やバイアス回路の不安定さも動作不良に影響したと考えられ、今後は、出力バッファの挿入による低インピーダンス化が不可欠であるという知見を得た。

5. まとめ

本研究では、低電源電圧環境下での入力動作範囲 (ICMVR) の拡大を目的とし、4 種類の CMOS オペアンプの設計および評価を行った。実測評価を行った 2 段構成オペアンプにおいては、多くのチップで正常な増幅動作を確認し、0.4V から 1.1V の範囲において、設計通りの ICMVR を有していることを実証した。一方で、実測利得の低下や一部チップの不動、および広 ICMVR 化を目的とした 3 回路の利得消失といった課題も明らかとなった。これらの要因を解析した結果、素子バラつきによる動作点の逸脱、および高出力インピーダンスに起因する負荷効果が主要な要因であることを突き止めた。以上の知見により、ICMVR の拡大を実現するためには、入力段の工夫のみならず、出力バッファによる低インピーダンス化や、バラつきを考慮した堅牢なバイアス回路の設計が極めて重要であると結論付けた。本研究で得られた成果および課題は、今後のより高性能な広 ICMVR オペアンプ設計に向けた重要な指針となるものである。

参考文献

- [1] 吉澤浩和、CMOS OP アンプ回路 実務設計の基礎、CQ 出版社、2007
- [2] 谷口研二、LSI 設計者のための CMOS アナログ回路入門、CQ 出版社、2005
- [3] 久家大輝、橘昌良、”低電圧で動作可能な CMOS オペアンプの設計”、高知工科大学 卒業論文、2025