

バンドギャップリファレンス回路におけるプロセスばらつき起因の出力電圧変動抑制手法の検討

Output Variation Reduction Methods in Bandgap Reference Circuits

松浦 僚也 (回路工学研究室)
(指導教員 橋 昌良 教授)

1. はじめに

近年の半導体製造技術向上に伴い、アナログ回路では製造ばらつき、プロセスばらつきが問題となっている。本研究では素子ばらつきの影響が大きい BGR 回路に注目し回路の設計を行った。

2. BGR 回路の構成

本研究で試作したシンプルな BGR 回路の回路構成を図 1 に示す。

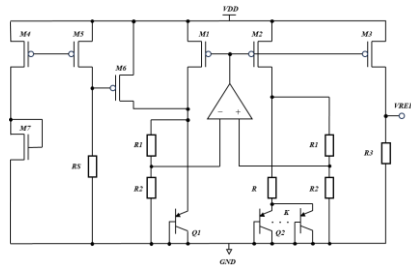


図 1 BGR 回路の回路構成

BGR 回路の出力電圧 V_{REF} を温度 T で微分すると次の式(1)で与えられる。

$$\frac{\partial V_{REF}(T)}{\partial T} = \frac{\partial V_{BE1}(T)}{\partial T} + M \frac{\partial V_T(T)}{\partial T} \quad (1)$$

また出力電圧 V_{REF} は入力オフセット電圧を考慮すると次の式(2)で与えられる。

$$V_{REF} = \frac{R_3}{R_2} \left(\frac{R_2}{R_1} (V_T \ln K + \frac{R_2}{R_{2b}} V_{OS}) + V_{BE1} \right) \quad (2)$$

式(2)より、入力オフセット電圧は R_1, R_2, R_3 の比によって決定される。本研究ではオペアンプのレイアウトにおいて各回路ブロックに対し、コモンセントロイドなどのランダムオフセット対策を行い、出力電圧変動の抑制を図る。本研究で設計したオペアンプのレイアウトを図 2 に示す。

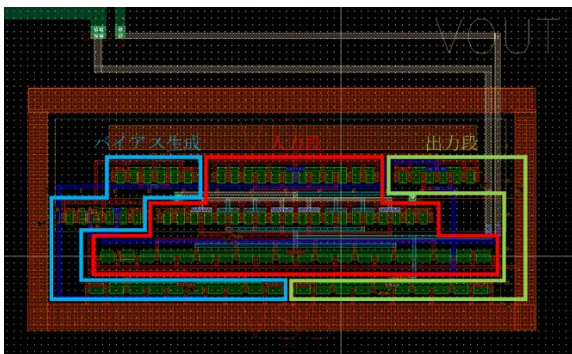


図 2 オペアンプのレイアウト図

3. 実測結果

試作を行った 20chip の実測結果を行ったところ、入力オフセット電圧は最小で 0.01mV、最大で 1.53mV、平均が 0.39mV となった。先行研究[1]で使用されているものと比較し、平均が 2.81mV 程度低減されたことが確認された。

4. キャリブレーション回路搭載 BGR 回路

本研究ではキャリブレーション回路を搭載した BGR 回路を設計し、出力変動の抑制を図った。本研究で設計した BGR 回路を図 3 に示す。

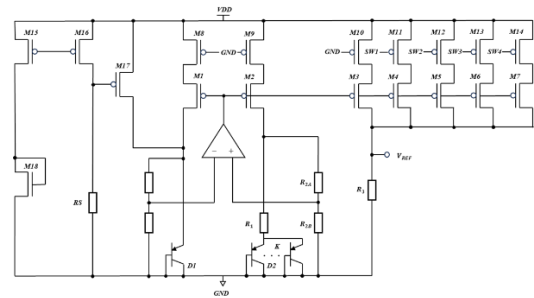


図 3 キャリブレーション回路搭載 BGR 回路

5. シミュレーション結果

BGR コアのカレントミラー部及びオペアンプのパラメータに 1% 誤差を与えたときのモンテカルロシミュレーションを行ったところ、BGR 回路の出力範囲は $\pm 3.7\%$ 程度ばらついた。この誤差電圧の補正を行ったところ、出力のばらつきはシミュレーションを基準とし、1.5% 程度になり出力電圧誤差の改善が見られた。

6. まとめ

本研究では先行研究[1]の BGR 回路のオペアンプ及びカレントミラー部の変更を行うことで出力電圧の低減を図った。オペアンプにおいては入力オフセット電圧の低減が確認された。キャリブレーション回路による出力補正はシミュレーションで補正が可能であることが確認された。

7. 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社及びメンター株式会社の協力で行われたものである。

参考文献

[1] 林 竜史, 橋 昌良, “プロセスばらつきを考慮したキャリブレーション回路搭載バンドギャップリファレンスの設計アプローチ” 高知工科大学大学院工学研究科基盤工学専攻電子・光工学コース修士論文, 2024