

# 負荷変動耐性を備えたデータ駆動型プロセッサの構成法

山下 拓巳 【 コンピュータ構成学研究室 】

## A Data-Driven Processor Architecture With Load Fluctuation Tolerance

Takumi YAMASHITA 【 Advanced Computer Engineering Lab. 】

### 1 はじめに

近年, IoT(Internet of Things) 技術の普及に伴いアプリケーションが高度化・多様化し, 高性能かつ省電力なプロセッサが求められている. この要件を満たす技術として, データ駆動型プロセッサ DDP(Data-Driven Processor) が注目されている. DDP はその動作原理からデータ依存関係にない処理を自然に並列実行可能で, さらにセルフタイム型パイプライン STP(Self-Timed Pipeline) 回路で実装することで省電力な動作が可能である. 一方, DDP では周回パイプライン内を巡回するデータパケットの流れを円滑にしないとパイプライン処理性能を十分に発揮できず, 最悪の場合, パケット転送が停止する可能性があるため, 巡回パケット数の変動を吸収可能なキューバッファ機構 QB(Queue Buffer) を DDP パイプライン内に導入する方式が提案されている [1].

本研究では, 応用プログラムの実行時の負荷変動状況を簡易的に定量化し, その結果に基づいて QB の適切な容量およびプログラム実行性能を見積ることによって, 負荷変動耐性を備えたデータ駆動型プロセッサを構成する方法を提案した.

### 2 QB を搭載した DDP 構成

本研究で扱う DDP 構成を図1に示す. 本構成は, データ駆動型プログラムの実行に必要な基本的構成要素である, 合流調停 M, 待ち合わせ MMCAM, データ統合 MMRAM, 命令読出 PS, 演算実行 FP, データアクセス MA, パケット複製 COPY, 分岐 B の 8 ステージから成り, オペランドデータを含むパケットがパイプライン上を1周巡回することにより1演算ノード分の実行が行われる. そのため, パイプライン上を同時に巡回するパケット数に応じてスループット処理性能が向上する.

また, DDP は STP 回路により実装されるため, 各ステージでのデータ転送は隣接ステージ間でのハンドシェイク制御により行われる. このため, STP は巡回パケット数が増減する際にパケット流を平滑化する負荷緩衝能力を有している. しかし, 急激にパケット数が増加する場合には, 緩衝しきれずに前段に向かって処理の渋滞が発生してしまう. これにより, 渋滞が最大処理時間のステージに達することによる一時的な処理性能の低

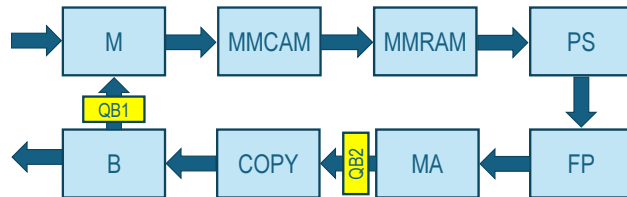


図1 QB を搭載した DDP パイプライン構成

下およびすべてのステージにパケットが保持され, すべてのステージが転送できなくなることによるデッドロックが発生する. これらを防ぐために, パケット転送の輻輳が生じる箇所に対して, パケット数の変動を吸収可能なキューバッファ機構 QB の導入が提案された [1]. 具体的には, 入力パケットと巡回パケットが衝突した際に一時的に前段ステージに輻輳が生じる箇所に QB1, パケットのコピーが発生した際に2パケットが転送されて一時的に輻輳が生じる箇所に QB2 をそれぞれ分散配置している. しかし, どの程度の容量の QB を導入すれば, どの程度の負荷変動耐性を備えられるのかは, これまで十分には明らかにされていない.

### 3 負荷変動耐性条件の見積りモデル

DDP 内での負荷, すなわち, 同時に巡回するパケット数は, 実行するプログラム内のデータ依存関係や DDP 内の各ステージ  $i$  の機能および転送制御遅延時間 (転送時間  $T_{fi}$ , 転送許可時間  $T_{ri}$ ) に応じて, 時間的に変動する. 本研究では, これらを考慮した負荷変動状況を定量化し, それに基づいて負荷変動耐性を担保する QB の容量およびプログラム実行性能の定式化を検討した.

#### 3.1 必要十分な QB 容量

パイプライン上を巡回するパケットは最大転送制御遅延時間  $T_{max} = \max(T_{fi} + T_{ri})$  により律速を受けるため, 連続するパケットの転送間隔は  $T_{max}$  で安定して巡回し, すべてのステージの  $T_{fi}$  を積算した  $\sum T_{fi}$  で一周する. よって同時に巡回するパケット数が  $\frac{\sum T_{fi}}{T_{max}}$  を超えると,  $T_{max}$  のステージ前で渋滞が発生する [2]. 渋滞は巡回パケット数が減少しない限り持続するが, 各ステージ本来の緩衝能力に加えて QB によっても緩衝され, スループット処理性能に影響を与えることはない.

しかし、巡回パケット数が増え続け、渋滞が  $T_{max}$  のステージにまで及ぶとスループットの低下やデッドロックが発生する。以上のことから QB1 と QB2 を合わせた総 QB 容量の必要条件は、

$$N_{max} - pl + \frac{\sum T_{r_i}}{T_{max}} \leq QB1 + QB2 \quad (1)$$

となる。ただし、 $N_{max}$  は同時に巡回する最大パケット数、 $pl$  はパイプライン段数とする。一方、実際のプログラム実行では、巡回パケット数の増加要因として、外部からの入力とコピーの発生があり、それらが連続して発生した場合には、それぞれ M ステージと COPY ステージ前で輻輳が生じ、渋滞が発生する。そのため、連続してコピーが発生した場合を考えると、QB1 に関係なく QB2 にのみ蓄積されることとなり、QB2 が溢れると式 (1) を満たしていてもスループット処理性能が低下する恐れがあることから、各 QB について増加減少を同じ周で実行されるノードのまとまりをプログラム中のランク集合と仮定し、プログラムの実行状況を簡易的に模擬して各 QB 容量を見積るモデルを考案した。

まず、あるパケットが QB1 内で待機する時間は、外部からの入力によって待機して増加する時間と、外部への出力に伴い減少する時間の差分が主要因である。また、QB2 内での待機時間は、主にコピーに伴い増加する時間とマッチングに伴い減少する時間の差分が主要因である。さらに、各 QB 内での待機時間は、対象の QB が空である場合には、もう一方の QB の待機時間の減少要因となるため、その影響を考慮する必要がある。また、QB1~QB2 のパイプライン経路内での最大転送制御遅延時間  $T_{max1}$  と QB2~QB1 の最大転送制御遅延時間  $T_{max2}$  が異なる場合には、各 QB の入出力レート差が生じる。それにより、 $T_{max1} > T_{max2}$  の時 QB1 内での待機時間は増加し、QB2 内での待機時間は減少する。以上、各 QB の待機時間の増減をランクごとに積算する過程で、各 QB の最大待機時間を特定して、その結果から求めた QB 容量を十分条件とした。

### 3.2 プログラム実行性能

DDP によるプログラムのストリーム実行では、一定間隔で次世代のパケットが入力されるため、現在のプログラム実行が完了する前に次世代の実行が開始された場合には、巡回パケット数が世代を重ねるごとに増え続け、最終的にデッドロックが発生する恐れがある。よって、DDP が満たすべきプログラム実行性能は 1 世代分のプログラム実行時間がシステム要件で定義されたプログラム実行間隔よりも短くなることである。

DDP におけるプログラム実行はパケットがパイプライン上を 1 周するごとに 1 ランク分の処理が実行されるため、実行プログラムのランク数を  $R$ 、1 周にかかる時間を  $\sum T_{f_i}$  とすると、 $R * \sum T_{f_i}$  で実行が完了する。ただし、ランク  $k$  の巡回パケット数  $N_k$  が  $\frac{\sum T_{f_i}}{T_{max}}$  を超え

るとパケット転送の渋滞が発生し、1 周に要する時間が  $\frac{\sum T_{f_i}}{T_{max}}$  を超えたパケット一つにつき  $T_{max}$  増加する。また、巡回パケット数の増減が生じると、そのランクで巡回するパケットの最後尾がずれる。以上の点を考慮して、プログラム実行時間の見積り式を考案した。

$$T_{exec} = R * \sum T_{f_i} + T_{max} * \sum_{k=0}^R \max(0, N_k - \frac{\sum T_{f_i}}{T_{max}}) + T_{max} * \sum_{k=0}^R \max(0, \text{巡回パケット数の増減}) \quad (2)$$

## 4 実装・評価

QB 回路を導入した DDP を AMD 社 FPGA Zynq-7010 上に実装し、提案した負荷変動耐性条件の見積りモデルについて評価を行った。ここで実行するプログラムは負荷変動が大きいものとして、入力ソースを多数含むプログラム P1、コピーを多数含むプログラム P2、その両方を多数含むプログラム P3、そして現実的なプログラムとして 8PointFFT を P4 として用いた。また、提案モデルで用いるアーキテクチャ関連のパラメータ値は、 $\sum T_{f_i} \approx 380[ns]$ 、 $\sum T_{r_i} \approx 85[ns]$ 、 $T_{max1} \approx 53[ns]$ 、 $T_{max2} \approx 43[ns]$  とした。

提案見積りモデルに基づく結果と回路シミュレーションによる検証結果を比較した表を表 1 に示す。検証の結果、各 QB 容量は誤差 0~29 個、実行時間は誤差 1.5%~16% で安全側に見積れた。

## 5 まとめ

本研究では、応用プログラムの実行時の負荷変動状況に基づいて QB の適切な容量およびプログラム実行性能を見積ることによって、負荷変動耐性を備えたデータ駆動型プロセッサを構成する方法を提案した。結果、プログラムの特徴をランク毎に捉えることによって、各 QB 容量およびプログラム実行性能の上界を特定できる見通しが得られた。

## 参考文献

- [1] 山下, “データ駆動型プロセッサ用セルフタイムパケットバッファ回路” KUT 修士学位論文, 2024.
- [2] 三宮 他, “自己タイミング型パイプラインシステムの性能見積りモデル” 信学論 A, **J92-A**, **7**, 2009.

表 1 提案見積りモデルの評価結果

		P1	P2	P3	P4
提案	QB1+QB2	10	10	58	26
	QB1, QB2	9,1	8,13	51,37	25,32
	実行時間 [us]	7.22	5.32	19.19	6.79
検証	QB1, QB2	9,1	7,6	50,23	25,3
	実行時間 [us]	7.11	4.74	16.52	6.69